

特開平11-136224

(43)公開日 平成11年(1999)5月21日

(51)Int.Cl. ^o	識別記号
H 0 4 L 7/00	
// H 0 3 L 7/00	

F I		
H 0 4 L	7/00	Z
H 0 3 L	7/00	B

審査請求 未請求 請求項の数12 O L (全 19 頁)

(21)出願番号 特願平9-296801

(22)出願日 平成9年(1997)10月29日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)發明者 元山 英幸

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

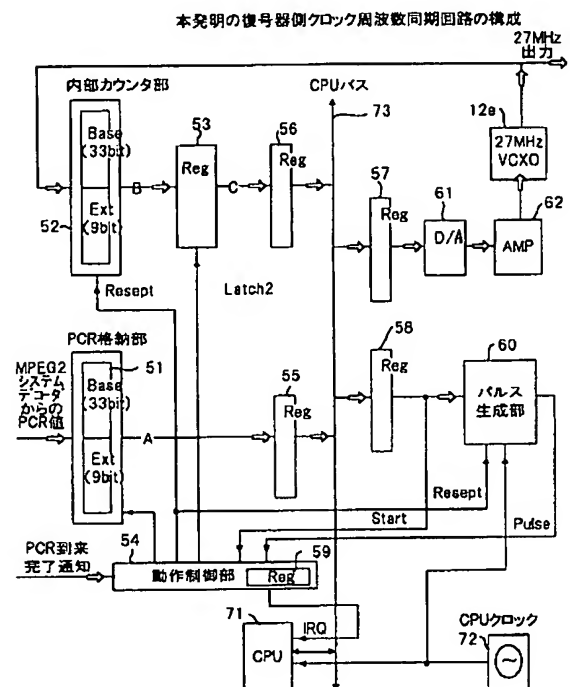
(74) 代理人 弁理士 齊藤 千幹

(54)【発明の名称】 クロック周波数同期装置

(57) 【要約】

【課題】 符号器側及び復号器側のシステムクロックの周波数同期を短時間で、かつ、確実に行う。

【解決手段】 演算処理ユニット（ＣＰＵ）７１は、ＰＣＲ到来間隔における内部カウンタ５２のカウント値の増分 ΔC をシステムクロック周波数で除算することによりＰＣＲ到来間隔時間 ΔT を算出し、内部カウンタ５２のカウント値の増分 ΔC と、前回と今回のＰＣＲ値の増分 ΔP と、ＰＣＲ到来間隔時間 ΔT を用いて符号器側と復号器側のクロック周波数のズレを算出し、今回の周波数ズレを含めた最新のＮ個の周波数ズレの平均値が零となるようにクロック発振器２１を制御する。



【特許請求の範囲】

【請求項 1】 符号器より伝送されてくる符号器側システムクロックのカウント値を基準カウント値として受信し、該基準カウント値に基づいて、符号器側システムクロックと周波数同期した復号器側システムクロックを発生するクロック周波数同期装置において、前記基準カウント値の到来を検出する検出手段、復号器側システムクロックを発生するシステムクロック発生部、

復号器側システムクロックを計数する計数手段、前記基準カウント値の到来間隔における前記計数手段のカウント値の増分 ΔC をシステムクロック周波数で除算することにより基準カウント値の到来間隔時間 ΔT を算出し、前記計数手段のカウント値の増分 ΔC と、前回と今回の基準カウント値の増分 ΔP と、前記基準カウント値の到来間隔時間 ΔT を用いて符号器側と復号器側のクロック周波数のズレを算出する演算処理手段、該周波数ズレが零となるように復号器側のシステムクロック発生部を制御するクロック周波数制御手段、を備えたことを特徴とするクロック周波数同期装置。

【請求項 2】 前記計数手段は、復号側のシステムクロックを計数するカウンタと、基準カウント値の到来時に該カウンタのカウント値を格納する第 1 のレジスタを備え、

前記演算処理手段は、(1) 伝送されてきた今回の基準カウント値を格納する第 2 のレジスタ、(2) 前回の基準カウント値及び前回のカウンタのカウント値をそれぞれ保持する保持部、(3) 今回の基準カウント値到来時に第 1 のレジスタに格納した今回のカウント値と前回のカウント値との差分 ΔC と、第 2 のレジスタに格納した今回の基準カウント値と前回の基準カウント値の増分 ΔP と、基準カウント値の前記到来間隔時間 ΔT を用いて符号器側と復号器側のクロック周波数のズレを算出し、該周波数ズレが零となるように周波数設定値を決定する演算処理ユニットを備え、

前記クロック周波数制御手段は、前記周波数設定値が設定される周波数設定レジスタ、該周波数設定レジスタに設定された周波数設定値をアナログ値に変換する D/A 変換器を備え、

前記システムクロック発生部は、該 D/A 変換器出力信号値に基づいてシステムクロックの発振周波数を周波数ズレが小さくなる方向に可変することを特徴とする請求項 1 記載のクロック周波数同期装置。

【請求項 3】 前記演算処理ユニットは、前記 ΔC と ΔP の差を前記到来間隔時間 ΔT 及びシステムクロック周波数で除算することにより前記周波数ズレをシステムクロック周波数に対する偏差で算出することを特徴とする請求項 2 記載のクロック周波数同期装置。

【請求項 4】 前記演算処理ユニットは、前記周波数設定レジスタに最小値を設定した時にシステムクロック発

生部より所定時間 T の間に発生するシステムクロック数と、前記周波数設定レジスタに最大値を設定した時にシステムクロック発生部より所定時間 T の間に発生するシステムクロック数を求め、両クロック数の差を前記時間 T 及びシステムクロック周波数で除算した値をシステムクロック発生部の実際の最大可変周波数とし、該実際の最大可変周波数と予め設定されている最大可変周波数との比 X を求めて保存し、前記周波数ズレに該比 X を乗算して前記周波数設定値を求めて周波数設定レジスタに設定することを特徴とする請求項 3 記載のクロック周波数同期装置。

【請求項 5】 前記演算処理ユニットは、前記周波数設定レジスタに最小値を設定した時にシステムクロック発生部より所定時間 T の間に発生するシステムクロック数と、前記周波数設定レジスタに最大値を設定した時にシステムクロック発生部より所定時間 T の間に発生するシステムクロック数を求め、両クロック数の差を前記時間 T 及びシステムクロック周波数で除算した値をシステムクロック発生部の実際の最大可変周波数とし、該実際の最大可変周波数と予め設定されている最大可変周波数との比 X を求めて保存し、今回の周波数ズレを含めて最新の N 個の周波数ズレを保存し、 N 個の周波数ズレの平均値に前記比 X を乗算して周波数設定値を求めて前記周波数設定レジスタに設定することを特徴とする請求項 3 記載のクロック周波数同期装置。

【請求項 6】 復号器のシステムクロック発生部に要求される最大可変周波数範囲を $\pm A$ (ppm)、前記周波数設定レジスタの最小ビット (1LSB) 当たりの周波数変更分解能を a (ppm) とするとき、 $2A/a$ が設定可能となるように周波数設定レジスタのビット数を決めることを特徴とする請求項 3 記載のクロック周波数同期装置。

【請求項 7】 符号器より伝送されてくる符号器側システムクロックのカウント値を基準カウント値として受信し、該基準カウント値に基づいて、符号器側システムクロックと周波数同期した復号器側システムクロックを発生するクロック周波数同期装置において、前記基準カウント値の到来を検出する検出手段、復号器側システムクロックを発生するシステムクロック発生部、

復号器側システムクロックを計数する計数手段、前記基準カウント値の到来間隔 ΔT を監視し、前記計数手段のカウント値の増分 ΔC と、前回と今回の基準カウント値の増分 ΔP と、前記基準カウント値の到来間隔時間 ΔT を用いて符号器側と復号器側のクロック周波数のズレを算出し、かつ、今回の周波数ズレを含めて最新の N 個の周波数ズレを保存し、該 N 個の周波数ズレの平均値を算出する演算処理手段、

前記平均周波数ズレが零となるよう前記システムクロック発生部を制御するクロック周波数制御手段、を備えたことを特徴とするクロック周波数同期装置。

10

20

30

40

50

【請求項 8】 前記演算処理手段は、N 個の周波数ズレが蓄積される前は、蓄積されている周波数ズレを用いて周波数ズレを制御する前処理を実行し、N 個の周波数ズレが蓄積後は、最新の N 個の周波数ズレを用いて周波数ズレを制御する本来の処理を実行することを特徴とする請求項 7 記載の復号器におけるクロック周波数同期装置。

【請求項 9】 前記演算処理手段は、得られた周波数ズレが規定値より大きい場合には、該周波数ズレを廃棄して保存しないことを特徴とする請求項 7 または請求項 8 記載のクロック周波数同期装置。

【請求項 10】 前記演算処理手段は、連続して廃棄する回数が設定回数以上になったとき、前記前処理を再開することを特徴とする請求項 9 記載のクロック周波数同期装置。

【請求項 11】 前記演算処理手段は、本来の処理において、基準カウント値の到来が途切れた時、前記前処理を再開することを特徴とする請求項 9 記載のクロック周波数同期装置。

【請求項 12】 符号器より伝送されてくる符号器側システムクロックのカウント値を基準カウント値として受信し、該基準カウント値に基づいて符号器側システムクロックと周波数同期した復号器側システムクロックを発生するクロック周波数同期装置において、前記基準カウント値の到来を検出する検出手段、復号器側システムクロックを発生するシステムクロック発生部、復号器側システムクロックを計数する計数手段、前記基準カウント値の到来間隔 ΔT を監視し、前記計数手段のカウント値の増分 ΔC と前回と今回の基準カウント値の増分 ΔP を求め、これらの差分を前記到来間隔時間 ΔT とシステムクロック周波数とで除算した値を、符号器側と復号器側のクロック周波数ズレとして算出し、該周波数ズレに応じた周波数設定値を決定する演算処理手段、

前記周波数設定値が設定されるレジスタ、該レジスタに設定された周波数設定値をアナログ値に変換する D/A 変換器を備え、周波数ズレが零となるように前記システムクロック発生部を制御するクロック周波数制御手段を備え、

前記演算処理手段は、前記周波数設定レジスタに最小値を設定した時にシステムクロック発生部より所定時間 T の間に発生するシステムクロック数と、前記周波数設定レジスタに最大値を設定した時にシステムクロック発生部より所定時間 T の間に発生するシステムクロック数を求め、両クロック数の差を前記時間 T 及びシステムクロック周波数で除算した値をクロック発生部の実際の最大可変周波数とし、該実際の最大可変周波数と予め設定されている最大可変周波数との比 X を求めて保存し、前記周波数ズレに該比 X を乗算して周波数設定値を決定し、

該周波数設定値を周波数設定レジスタに設定することを特徴とするクロック周波数同期装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は復号器側におけるクロック周波数同期装置に係わり、特に、符号器より伝送されてくる符号器側システムクロックのカウント値を基準カウント値として受信し、該基準カウント値に基づいて符号器側システムクロックと周波数同期した復号器側システムクロックを発生するクロック周波数同期装置に関する。

【0002】

【従来の技術】ISO/IEC MPEG2 システムには、トランスポート・ストリーム (MPEG2-TS) と呼ばれるデータ多重化伝送方式がある。かかるトランスポート・ストリーム (MPEG2-TS) を使用してネットワーク経由で映像/音声/データ等を多重伝送する画像伝送システムでは、復号器側において、符号器側で使用の映像符号化用システムクロック (27 MHz) に周波数同期したシステムクロックを再生する必要がある。このため、MPEG2-TS では、図 14 に示すように、188 バイト構成の各トランスポート・パケット T P P に P C R (Program Clock Reference プログラム時刻基準参照値) を符号器側で挿入して伝送し、復号器側で P C R 値を抽出し該 P C R 値に基づいて、符号器側システムクロックと周波数同期した復号器側システムクロックを発生するようにしている。P C R 値は符号器側システムクロックをパケット送出周期で計数したカウント値であり、42 ビットで表現する。トランスポート・パケット T P P は各種制御情報が挿入される情報フィールド部 I F L とデータを伝送するペイロード P L D で構成されており、情報フィールド部 I F L の所定箇所に 42 ビットの P C R 値が挿入される。

【0003】復号器側には、システムクロックを発生するシステムクロック発生部と、該システムクロックを計数する内部カウンタと、演算処理部を設ける。演算処理部は前回の P C R 値到来時刻から今回の P C R 値到来時刻までの間に内部カウンタが計数したシステムクロック数 ΔB と、前回と今回の P C R 値の差分 ΔA を求める。前回と今回の P C R 値の差分 ΔA は符号器側のシステムクロック数の増分である。したがって、 ΔA と ΔB の差を P C R 到来間隔時間 ΔT で除算した値は、符号器側と復号器側のシステムクロックの周波数ズレである。そこで、演算処理部で ΔB と ΔA の差を ΔT で除算して周波数ズレを求め、該周波数ズレが零となるよう復号器側のシステムクロック発生部の発振周波数を制御し、これにより、符号器と復号器のシステムクロックの周波数同期を確立する。

【0004】図 15 は従来の復号器側におけるクロック周波数同期回路の構成図である。図中、1 は MPEG 2

システム分離部（図示せず）のエンコーダから送出されてくる42ビットのPCR値を格納する基準PCR格納部であり、33ビットのBase部と9ビットのExtension部の42ビットで構成されている。2は復号器のシステムクロックを計数する内部カウンタで、33ビットのBase部と9ビットのExtension部の42ビット構成である。Extension部のカウンタ範囲は0～299までで、base部はExtension部からのキャリーパルスのカウントアップする。内部カウンタ2はシステムクロック27MHzにおいて、24時間強のカウントが可能になっている。3は動作制御部であり、図14に示すように、MPEG2システム分離部よりPCR到来完了通知信号を受信して、ラッチ信号Latch及び割込み信号IRQを発生する。すなわち、動作制御部3は、(1) 符号器からのPCR到来時に、Latch信号を発生して基準PCR値を基準PCR格納部1にラッチする制御、(2) PCR到来時、割込み信号IRQの発生制御を行う。

【0005】4は基準PCR値AをCPUが読み出すためのレジスタ、5はCPUが内部カウンタ2のカウント値Bを読み出すためのレジスタ、6は電圧制御型クロック発振器の周波数設定用レジスタ（Nビットの設定レジスタ）で、例えば、引込み範囲が±100ppm、最小ビットの周波数補正値を1ppm/LSBとすると、N=8である。7はレジスタに設定されたNビットデータを直流電圧に変換するDAコンバータ、8はアンプであり、DAコンバータ7からの出力電圧のダイナミックレンジと次段の電圧制御型クロック発振器の入力可変電圧範囲間のゲイン調整を行うもの、9は27MHzのシステムクロックを発生する電圧制御型クロック発振器（VCO）で引込み範囲以上の周波数可変範囲を有する必要がある。市販の電圧制御型クロック発振器9として、単位電圧当りの最低周波数可変値を規定するのが一般的であり、一例として下記の仕様のものが市販されている。すなわち、

- (1) 単位電圧当りの周波数可変値：±100ppm/V以上（実力として±150ppm/V程度）、
- (2) 入力可変電圧範囲：+2.5V±2V

である。入力可変電圧が±2Vで、周波数可変値が±100ppm/Vであるため、クロック発振器9は±200ppm強の周波数変更が可能である。

【0006】10は処理装置（CPU）であり、図示しないが演算処理部、プログラムメモリ（ROM）、データメモリ（RAM）、入出力インタフェース等のハードウェアで構成され、プログラム制御でクロック同期制御を実行するものである。10aはCPUクロック発生器、10bはCPUバスである。

【0007】MPEG2システム分離部（図示せず）は、受信したMPEG2トランスポート・ストリームの各トランスポートパケットTPPに含まれる42ビットのPCR値をビットシリアルに基準PCR格納部1に入力すると共に、PCRの到来完了を監視し、最後のPC

Rビットの受信でPCR到来完了通知信号を動作制御部3に入力する。これにより、動作制御部3はラッチ信号を発生し、PCR値を基準PCR格納部1に格納し、該PCR値Aを出力する。この結果、PCR値Aはレジスタ4に読み出されて格納される。又、レジスタ5には常時内部カウンタ2の最新のカウンタ値Bが読み出されて格納されている。しかる後、動作制御部3は割込み信号IRQをCPU10に入力する。割込みを認識したCPU10は、レジスタ4、5より今回到来したPCR値と計数進行中の内部カウンタ2のカウント値Bを読み出す。前回のPCR値及び前回のカウンタ値は共にCPU10内蔵のRAMに記憶されているから、CPU10は前回と今回のPCR値の差分ΔA及び前回と今回のカウンタ値の差分ΔBを求める（図16参照）。又、前回から今回までの経過時間をCPUクロックを計数して、PCR到来時間間隔ΔTを算出する。

【0008】ついで、CPU10は周波数偏差ΔFを次式

$$\Delta F(\text{ppm}) = (\Delta B - \Delta A) / (\Delta T \times 27 \times 10^6)$$

により求める。すなわち、1秒間に発生する周波数ズレを設定周波数で除算した値（単位はppm）を演算する。周波数偏差ΔF(ppm)が求めれば、CPU10は該周波数偏差ΔFをレジスタ6に設定する。DAコンバータ7はレジスタ6に設定された周波数データをアナログ電圧に変換する。レジスタ6を8ビットとすると、255段階の設定が可能である。又、1ppm/LSBを周波数変更単位とすれば、27MHzの約±128ppmの周波数変更が可能になる。

【0009】アンプ8は、クロック発振器9の周波数可変特性を±100ppm/Vとし、DAコンバータ7への入力値に対して以下を満足するようなゲイン特性を有する。なお、hはヘキサ、dはデシマルを意味する。

(1) 中心値80h (128d)でクロック発振器9の出力周波数が27.0MHz、(2) 最大値FFh (255d)でクロック発振器9の出力周波数が27.0MHz+127ppm、(3) 最小値00h (000d)でクロック発振器9の出力周波数が27.0MHz-128ppm。電圧制御型のクロック発振器9は、アンプ出力に基づいて周波数ズレが減少する方向に周波数を変更する。以後、上記制御がPCR到来毎に行われる。実際のシステムクロック周波数は、クロック発振器の特性によりCPU10がレジスタ6に設定した周波数偏差ΔFより大きく変化する。このため、符号器側及び復号器側のシステムクロックの周波数偏差の推移は、図17に示すような周波数変化の推移（イメージ）を辿り、長い時間での周波数平均値が符号器側のシステムクロックと周波数同期する。

【0010】上記従来のMPEG2-TSにおける運用環境をまとめると以下の通りである。すなわち、

(a) MPEG2-TSにおいて、符号器からのPCRの送出間隔は100ms以下と規定されているだけであり、間

隔の一定性は規定されていない。

(b) 一般的に M P E G 2 - T S は、ネットワークを用いて画像／音声／データ等の伝送を行うためのもので、符号器及び復号器は遠隔に配置される。このため、ネットワークで伝達時間や伝送クロックのジッタが発生する。かかるジッタにより復号器側のシステムクロックの可変範囲を広くする必要がある。例えば、

① M P E G 2 - T S 規格で規定の符号器用システムクロック (27MHz) の周波数変動が $\pm 30\text{ppm}$ 以内であり、また
② 画像伝送に用いるネットワークに一般のデジタル専用回線を用いた場合における回線クロックのジッタが $\pm 30\text{ppm}$ 程度である。このため、トータル $\pm 60\text{ppm}$ の周波数変動に対応する必要がある、復号器側のシステムクロックの可変範囲は、マージンを含めて $27\text{MHz} \pm 100\text{ppm}$ 程度必要である。

(c) 復号器内での P C R 到来間隔時間の算出は、P C R 到来で発生する内部割込みの間隔 (I R Q 間隔) をソフトウェアタイマー (C P U クロックの計数) で行っている。

(d) 復号器側で使用するシステムクロック用一般市販の 27MHz 電圧制御型クロック発振器は、単位制御電圧当りの周波数変化量が最低値のみ規定されているものであり、実周波数変化量は個々のクロック発振器で異なる。

【0 0 1 1】

【発明が解決しようとする課題】従来方式において、P C R 間隔は上記(c) より明らかなように、ソフトウェアタイマー (C P U クロックの計数) で計測している。通常のソフトウェア・タイマーはインターバル・タイマーと呼ばれる数 10ms ～ 数 100ms 間隔で発生する割込みの積算で時刻を計時する。P C R の到来間隔は前述の(a) より明らかなように、100ms 以下であるため、該 P C R 到来間隔を正確に計測するには、1ms 単位程度のインターバル・タイマーが必要である。しかし、このような短時間間隔のインターバル・タイマーを用いると、割込み回数、すなわち、割込み処理回数が多くなり、C P U の負荷が増大する問題が生じる。又、P C R 到来間隔をインターバル・タイマー (ソフトウェア・タイマー) で計数した場合、C P U の割込み認識及び処理時間が不安定となる。このため、従来は P C R 到来時間間隔の算出結果に大きな時間誤差が含まれる問題がある。更に従来方式では、上記(b) において説明した網ジッタ (ネットワークで発生する P C R 到来時間間隔のジッタ) を吸収する処理がない。又、上記(d) で説明したように、電圧制御型のクロック発振器での単位電圧当りの周波数変化量は最低値のみ規定されているだけである。このため、従来方式では、期待する周波数となるように周波数設定値をレジスタに設定しても、クロック発振器の実際の出力周波数とのズレが生じ、周波数同期性が低い問題がある (図 1 7 参照)。

【0 0 1 2】以上より本発明の目的は、P C R 到来時間間隔をソフトウェア・タイマーを使用せず、しかも、C

P U の負荷を増大することなく、正確に測定できるようにすることである。本発明の目的は、P C R 到来時間間隔において発生した復号器側システムクロック数を正確に計数できるようにし、これにより、正しく周波数ズレを算出できるようにすることである。本発明の目的は符号器側及び復号器側のシステムクロックの周波数同期を短時間で、かつ、確実に同期させるようにすることである。本発明の目的はネットワークに発生する P C R 到来時間間隔のジッタを吸収して周波数ズレを正確に算出して補正できるようにすることである。本発明の目的は、クロック発振器の周波数可変範囲特性が製品毎に異なる場合であっても、該特性を考慮して周波数ズレに応じた正しい周波数設定値をレジスタに設定して該周波数ズレが零となるように制御することである。本発明の目的は符号器側及び復号器側におけるシステムクロックの周波数同期性を向上することである。

【0 0 1 3】

【課題を解決するための手段】

(a) 第 1 の解決手段

上記目的は、本発明によれば、符号器より伝送されてくる符号器側システムクロックのカウント値 (P C R 値) を基準カウント値として受信し、該基準カウント値に基づいて、符号器側システムクロックと周波数同期した復号器側システムクロックを発生するクロック周波数同期装置であって、(1) 基準カウント値 (P C R 値) の到来を検出する検出手段、(2) 復号器側システムクロックを発生するシステムクロック発生部、(3) 復号器側システムクロックを計数する計数手段、(4) 基準カウント値の到来間隔における前記計数手段のカウント値の増分 ΔC をシステムクロック周波数で除算することにより基準カウント値の到来間隔時間 ΔT を算出し、前記計数手段のカウント値の増分 ΔC と、前回と今回の基準カウント値の増分 ΔP と、前記基準カウント値の到来間隔時間 ΔT を用いて符号器側と復号器側のクロック周波数のズレを算出する演算処理手段、該周波数ズレが零となるよう復号器側のシステムクロック発生部を制御するクロック周波数制御手段、を備えたクロック周波数同期装置により達成される。すなわち、基準カウント値の到来間隔において発生したシステムクロック数 ΔC をシステムクロック周波数で除算することにより基準カウント値の到来間隔時間 ΔT を算出するようにしたから、ソフトウェア・タイマーを使用しなくても、該到来間隔時間 ΔT を正確に測定でき、しかも、C P U の負荷を軽減することができる。

【0 0 1 4】この場合、計数手段は、復号側のシステムクロックをカウンタで計数し、基準カウント値の到来時刻における該カウンタのカウント値を読み取ってレジスタに記憶し、演算処理手段は、今回の基準カウント値到来時刻においてレジスタに記憶した今回のカウント値と前回のカウント値との差分 ΔC と、今回の基準カウント

値と前回の基準カウント値の増分 ΔP と、基準カウント値の前記到来間隔時間 ΔT を用いて符号器側と復号器側のクロック周波数のズレを算出し、該周波数ズレに応じた周波数設定値を決定する。このように、基準カウント値の到来時刻におけるカウンタのカウント値をレジスタに記憶するようにしたため、周波数ズレの計算開始処理が遅れてもカウント値が変化することはない。このため、正確に周波数ズレを計算できる。従来方法では、周波数ズレの計算開始処理がおくるとその間にカウンタの内容が増加し、増加したカウント値を使用して周波数ズレを計算しなくてはならず、正確に周波数ズレを計算できない。

【0015】(b) 第2の解決手段

上記目的は本発明によれば、符号器より伝送されてくる符号器側システムクロックのカウント値を基準カウント値（PCR値）として受信し、該基準カウント値に基づいて、符号器側システムクロックと周波数同期した復号器側システムクロックを発生するクロック周波数同期装置であって、(1) 基準カウント値の到来を検出する検出手段、(2) 復号器側システムクロックを発生するシステムクロック発生部、(3) 復号器側システムクロックを計数する計数手段、(4) 基準カウント値の到来間隔 ΔT を監視し、前記計数手段のカウント値の増分 ΔC と、前回と今回の基準カウント値の増分 ΔP と、前記基準カウント値の到来間隔時間 ΔT を用いて符号器側と復号器側のクロック周波数のズレを算出し、かつ、今回の周波数ズレを含めて最新のN個の周波数ズレを保存し、該N個の周波数ズレの平均値を算出する演算処理手段、(4) 前記平均周波数ズレが零となるよう前記システムクロック発生部を制御するクロック周波数制御手段、を備えたクロック周波数同期装置により達成される。

【0016】このように、今回の周波数ズレを含めて最新のN個の周波数ズレを保存し、該N個の周波数ズレの平均値を算出し、該平均周波数ズレが零となるようシステムクロック発生部を制御するようにしたため、ネットワークのジッタ等で基準カウント値の到来時間間隔が変動しても $1/N$ に平滑化することができ、ジッタによる影響を軽減して正しい周波数ズレを計算することができる。すなわち、ネットワーク経由での伝送時に生じる網ジッタの影響で算出される瞬間的な周波数ズレを平滑化でき、その影響を軽減できる。復号器側ではシステム・クロックにより、映像・音声を再生するための各種タイミング信号を生成しており、この平滑化処理により瞬間的なシステム・クロック周波数ズレを抑圧し、瞬時的な周波数ズレによる各種タイミング信号のジッタでの映像の色ズレ・映像ブレ、音声のノイズ等が発生する問題を解消することができる。

【0017】この場合、演算処理手段は、N個の周波数ズレが蓄積される前は、蓄積されている周波数ズレを用いて周波数ズレを制御する前処理を実行し、N個の周波

数ズレが蓄積後は、最新のN個の周波数ズレを用いて周波数ズレを制御する本来の処理を実行する。このようにすれば、本来の処理において正確に周波数ズレを求めることができる。又、得られた周波数ズレが規定値より大きい場合、該周波数ズレを廃棄して保存しないようにする。このようにすれば、一過性の大きなジッタによる影響を無視して正しい周波数ズレを求めることができる。又、周波数ズレが規定値より大きくなるのが連続する場合、保存しているN個の周波数ズレは現状のネットワークの状態に適応していないことを意味する。かかる場合、再度前処理を行うことにより現状のネットワークの状態に適応したN個の周波数ズレを保持させ、しかる後、本来の処理を行うようにする。更に、回線障害等に起因して基準カウント値の到来が途切れた時は、同様に、再度前処理を行うことにより現状のネットワークの状態に適応したN個の周波数ズレを保持させ、しかる後、本来の処理を行うようにする。

【0018】(c) 第3の解決手段

上記課題は本発明によれば、符号器より伝送されてくる符号器側システムクロックのカウント値を基準カウント値として受信し、該基準カウント値に基づいて符号器側システムクロックと周波数同期した復号器側システムクロックを発生するクロック周波数同期装置であって、(1) 基準カウント値の到来を検出する検出手段、(2) 復号器側システムクロックを発生するシステムクロック発生部、(3) 復号器側システムクロックを計数する計数手段、(4) 基準カウント値の到来間隔 ΔT を監視し、前記計数手段のカウント値の増分 ΔC と前回と今回の基準カウント値の増分 ΔP を求め、これらの差分を前記到来間隔時間 ΔT とシステムクロック周波数とで除算した値を、符号器側と復号器側のクロック周波数ズレとして算出し、該周波数ズレに応じた周波数設定値を決定する演算処理手段、(5) 前記周波数設定値が設定されるレジスタ、該レジスタに設定された周波数設定値をアナログ値に変換するDA変換器を備え、周波数ズレが零となるよう前記システムクロック発生部を制御するクロック周波数制御手段を備えたクロック周波数同期装置により達成される。

【0019】この場合、演算処理手段は、周波数設定レジスタに最小値を設定した時にシステムクロック発生部より所定時間Tの間に発生するシステムクロック数と、前記周波数設定レジスタに最大値を設定した時にシステムクロック発生部より所定時間Tの間に発生するシステムクロック数を求め、両クロック数の差を前記時間T及びシステムクロック周波数で除算した値をクロック発生部の実際の最大可変周波数とし、該実際の最大可変周波数と予め設定されている最大可変周波数との比Xを求めて保存し、前記周波数ズレに該比Xを乗算して周波数設定値を決定し、該周波数設定値を周波数設定レジスタに設定する。このようにすれば、クロック発生部（電圧制

御型のクロック発振器)の周波数可変範囲特性が製品毎に異なる場合であっても、該特性を考慮して周波数ズレに応じた正しい周波数設定値をレジスタに設定して該周波数ズレが零となるように制御することができる。これにより、符号器側及び復号器側におけるシステムクロックの周波数同期性を向上できる。以上の第1～第3の解決手段を組み合わせることでクロック周波数同期装置を構成することができる。

【0020】

【発明の実施の形態】

(a) MPEG2-TS画像伝送システム

図1はMPEG2-TS画像伝送システムの構成図であり、上段は符号器側、下段は復号器側であり、符号器11と復号器21の間はネットワーク31により接続されている。41は映像を取り込むカメラ、42は音声を取り込むマイクでそれぞれ符号器側に設けられるもの、43は映像を表示するモニター、44は音声を出力するスピーカであり、復号器側に設けられるものである。符号器11において、11aは映像を圧縮符号化する映像符号器、11bは音声を圧縮符号化する音声符号器、11cは27MHzのシステムクロックを出力するクロック発振器で、27MHzのシステムクロックは映像を符号化の際に使用される。11dは符号化された映像データ、音声データ、ユーザデータ等を多重し、トランスポート・パケットにして送出するMPEG2システム多重化部である。図2はMPEG2システム多重化部11dで作成されるMPEG2-TSトランスポート・パケットの構成図である。MPEG2トランスポート・ストリーム(最上段)は多数のトランスポートパケットTPPで構成され、各トランスポートパケットは各種情報フィールドとペイロードPLDで構成され、情報フィールドの所定位置に42ビットのPCRが挿入される。PCR値はシステムクロックを42ビットのカウント11eで計数した値である。11gはトランスポート・ストリームをネットワークの網クロックでフレーム化して送出するフレーム処理部、11hは網クロックに同期したクロック信号を出力するPLLである。

【0021】復号器21において、21aはネットワークより受信したフレームデータをデフレーム化してトランスポート・ストリームにするデフレーム処理部、21bは網クロックに同期したクロック信号を出力するPLL、21cはMPEG2システム分離部であり、トランスポート・ストリームより、映像データ、音声データ、ユーザデータを分離して出力すると共に、PCR値を抽出し、かつ、PCR到来完了通知を出力する。21dは本発明に係わるクロック周波数同期回路であり、符号器より送られてくるPCR値を用いて復号器側のシステムクロックを符号器側のシステムクロックに周波数同期させるもの、21eはクロック発振器であり、クロック周波数同期回路21dにより周波数制御されてシステ

ムクロックを発生するもの、21fは符号化されている映像データを復号する映像復号器、21gは符号化されている音声データを復号する音声復号器である。

【0022】(b) クロック発振器

クロック発振器21eは電圧制御型であり、27MHzのシステムクロックを発生するもので、引込み範囲以上の周波数可変範囲を有している。市販の電圧制御型クロック発振器は、単位電圧当りの最低周波数可変値を規定するのが一般的で、一例として下記の仕様のものが市販されており、本発明で使用される。すなわち、

(1) 単位電圧当りの周波数可変値 : $\pm 100\text{ppm/V}$ 以上(実力として $\pm 150\text{ppm/V}$ 程度)、

(2) 入力可変電圧範囲 : $+2.5\text{V} \pm 2\text{V}$

である。入力可変電圧が $\pm 2\text{V}$ で、周波数可変値が $\pm 100\text{ppm/V}$ であるため、クロック発振器21eは $\pm 200\text{ppm}$ 強の周波数変更が可能である。

【0023】(c) クロック周波数同期回路

図3は復号器に設けられたクロック周波数同期回路の構成図、図4は周波数同期制御時のタイムチャート、図5はクロック発振器の特性調査時のタイムチャートである。図中、51はMPEG2システム分離部21c(図1参照)から送出されてくる42ビットのPCR値を格納する基準PCR格納部であり、33ビットのBase部と9ビットのExtension部の42ビットで構成されている。52はクロック発振器21eから出力されるシステムクロックを計数する内部カウンタで、33ビットのBase部と9ビットのExtension部の42ビット構成である。Extension部のカウント範囲は0～299までで、base部はExtension部からのキャリーパルスをカウントアップする。この内部カウンタ52はシステムクロック27MHzにおいて、24時間強のカウントが可能になっている。53はPCR到来時に内部カウンタ52のカウント値が格納されるレジスタである。

【0024】54は動作制御部であり、(1)符号器から送られてくるPCRに基づいた周波数同期制御時の動作制御(図4のタイムチャート参照)、および、(2)クロック発振器21e(システムクロック用27MHzのVCXO)の特性調査時の動作制御(図5のタイムチャート参照)を行うものである。動作制御部54は、(1)の周波数同期制御に際して、システム分離部21cよりPCR到来完了通知信号を受信して、ラッチ信号Latch、Latch2及び割込み信号IRQを発生する。すなわち、動作制御部54は図4に示すように、①符号器からのPCR到来完了時にLatch信号及びLatch2信号を発生し、②Latch信号により基準PCR値を基準PCR格納部51にラッチし、③Latch2信号により内部カウンタ52のカウント値をレジスタ53に格納し、④しかる後、割込み信号IRQを発生する。割込み信号IRQの発生により、CPUは周波数ズレを零にするための周波数同期制御を行う。

【0025】又、動作制御部54は、(2)のクロック発

10

20

30

40

50

振器の特性調査時の動作制御に際して、後述のパルス生成部より発生するstart 信号及びPulse信号(所定期間例えば100msの間ハイレベルとなる信号)を受信して、Reset信号及びLatch2信号を発生する。すなわち、動作制御部54は図5に示すように、①システムクロックの計数開始を示すStart信号の受信により、Reset信号を発生して内部カウンタ52の内容及びパルス生成部60(後述)の内部タイマーをリセットし、②該内部タイマーが所定時間例えば100msを計時した時(Pulse信号がローレベルになった時)、Latch2信号を発生して100msの間に発生したシステムクロック数(内部カウンタ52のカウント値)をレジスタ53に格納する。55~59はソフトインタフェース用のレジスタであり、54はCPUが基準PCR値Aを読み出すためのレジスタ、56はCPUがレジスタ53に格納された内部カウンタ52のカウント値Cを読み出すためのレジスタ、57はクロック発振器21eの周波数設定値が設定される周波数設定レジスタ、58はチェックレジスタであり、クロック発振器の特性を調査する際、CPUによりシステムクロックの計数開始を示すフラグ(Pulse-Start)をセットされ、計数動作完了によりリセットされるもの、59は割込みレジスタであり、PCRの到来による割込みが発生したことを割込みフラグ(Pcr IRQ)で示し、CPUによるリードアクセスでクリアされる。

【0026】図6は上記ソフトインタフェース用のレジスタの構成を示すもので、レジスタ55(PCR0~PCR2)及びレジスタ56(CNT0~CNT2)はそれぞれ上位33ビットのBase部と下位9ビットのExtension部の42ビットで構成されている。9ビットのExtension部は0~299までカウントし、33ビットのBase部は300毎に1カウントアップして90KHzでのカウント値を保持する。周波数設定レジスタ57は、引込み範囲が±100ppm、最小ビットの周波数変更値を1ppm/LSBとすると、N=8である。図7は周波数設定レジスタ57に設定される周波数設定値と周波数修正値ppmの関係を示す図表であり、上段には16進で示す周波数設定値(0は符号で+)を示し、下段に周波数修正値ppmを示している。チェックレジスタ58及び割込みレジスタ59は共に16ビット構成であるが最上位の1ビットのみ使用している。

【0027】図3に戻って、60は内部タイマーを有するパルス生成部であり、①クロック発振器21eの特性調査に際して動作制御部54からReset信号が出力された時、ハイレベルのPulse信号を出力し、②しかる後、内部タイマーにより計時を開始し、所定時間(例えば100ms)を計時した時にPulse信号をローレベルにする。61は周波数設定レジスタに設定された8ビットの周波数設定値を直流電圧に変換するDAコンバータ、62はアンプであり、DAコンバータ61からの出力電圧のダイナミックレンジと次段のクロック発振器21eの入力可変電圧範囲間のゲイン調整を行うものである。71は処理

装置(CPU)であり、図示しないが、演算処理部、プログラムメモリ(ROM)、データメモリ(RAM)、入出力インタフェース等のハードウェアで構成され、プログラム制御により、以下で説明する各種処理を行う。すなわち、CPU71は、(1)クロック発振器の特性を調査する処理(CHECK処理)、(2)周波数同期処理(RUNNING処理)を実行する。72はCPUクロック発生器、73はバス線である。

【0028】(d)CPU処理の概略

CPU71が実行する処理には、(1)クロック発振器の特性を調査する処理(CHECK処理)と、(2)符号器側のシステムクロックと復号器側のシステムクロックの周波数ズレを零にする周波数同期処理(RUNNING処理)がある。

(d-1)CHECK処理

クロック発振器の特性を調査する理由は、以下のとおりである。すなわち、市販のクロック発振器において、単位電圧当りの周波数変化量は最低値のみが規定されているだけである。このため、CPU71が図7にしたがって所定の周波数変更量(ppm)あるいは周波数が得られるように周波数設定レジスタ57に周波数設定値を設定しても、クロック発振器21eはCPUが期待するように出力周波数を変更しない。このため、CPUが期待するシステムクロックの周波数と実際のシステムクロックの周波数との間にズレが生じ、短時間で符号器側システムクロックと復号器側システムクロックの周波数が一致せず、周波数同期性が低くなる(図17参照)。

【0029】そこで、周波数設定レジスタ57に最小値(0×00h)を設定したときのクロック発振器21eの発振周波数と、最大値(0×FFh)を設定したときのクロック発振器21eの発振周波数との差を求め、該差に基づいてクロック発振器21eの最大可変周波数範囲(ppm)を求める。そして、予め設定されている最大可変周波数範囲(図7の例では256ppm)と実際の最大可変周波数範囲との比Xを求める。例えば、実際の最大可変周波数が384ppm(1.5倍)であれば、比Xは1/1.5となる。このことは、従来周波数設定レジスタ57に設定していた数値AのX倍の数値A・Xを周波数設定レジスタに設定すれば期待する周波数変動が得られることを意味する。例えば、X=1/1.5で+64ppmの周波数調整をしたい場合、従来は192(中心値128+64)を周波数設定レジスタに設定するが、X=1/1.5であるから(中心値128+(+64×1/1.5))=171を設定する。以上から、CHECK処理では実際のクロック発振器21eの特性を調査して上記比Xを求める。

【0030】(d-2)RUNNING 処理

網ジッタが発生すると、PCR間隔が揺らぎ、符号器側のPCR間隔と復号器側で測定したPCR間隔がずれる。しかし、かかる制御では正確に周波数ズレを求めることができず、正しい周波数同期制御ができない。そこで、網ジッタの影響を軽減するために、最新のN回の周

波数ズレを保存し、その平均値を今回の周波数ズレとみなし、該周波数ズレが零となるように徐々に制御する。このようにすれば、網ジッタで基準カウント値の到来時間間隔が変動しても $1/N$ に軽減することができる。すなわち、網ジッタの影響で算出される瞬間的な周波数ズレを平滑化でき、その影響を軽減できる。・・・平滑化処理

ところで、最初は N 個の最新の周波数ズレが存在しない。そこで、 N 個の周波数ズレを求める前処理を実行し、しかる後、最新の N 個の周波数ズレを用いて周波数ズレを零にするための本来の処理を実行する。このように前処理を行うことにより、以後、正確に周波数ズレを求めて補正することができる。

【0031】(d-3) CPUの全体の処理

図8はCPUの全体の処理を示す説明図であり、CHECK処理100とRUNNING処理200で構成され、RUNNING処理は平滑化前処理期間(フェーズA)と平滑化処理期間(フェーズB)で構成されている。復号器の電源投入によりCHECK処理が開始し、CHECK処理実行後にRUNNING処理が開始する。RUNNING処理では、まず、 N 個の周波数ズレを求める前処理が行われ、ついで、最新の周波数ズレの平均値を用いて周波数同期制御を行う本来の処理が行われる。

【0032】(e) CPU処理の詳細

(e-1) クロック発振器の特性調査処理(CHECK処理)

図9はクロック発振器の特性調査処理フロー(CHECK処理フロー)であり、図3のハードウェア及び図5のタイムチャートを参照して説明する。復号器の電源が投入されると、CPU71は周波数設定レジスタ57に最小値0000h(10進数で0)を設定すると共に、チェックレジスタ58に8000h(最上位ビットが"1"で他のビットは"0")を設定する(ステップ101、102)。周波数設定レジスタ57の設定値はDA変換、増幅されてクロック発振器21eに入力し、クロック発振器21eは所定の周波数($=27\text{MHz}-\Delta\text{ppm}$)のシステムクロックを出力する。又、チェックレジスタ58は8000h(最上位ビットが"1"で他のビットは"0")が設定されるとハイレベルのStart信号を出力し、動作制御部59はハイレベルのStart信号によりReset信号を発生する。これにより、内部カウンタ52は内容を零にクリアしてシステムクロックのカウントを開始する。又、該カウントと同時にパルス生成部60は内部タイマーをリセットして計時を開始すると共にハイレベルのPulse信号を出力する。

【0033】以後、内部カウンタ52によるシステムクロックのカウントが継続し、パルス生成部60は100msを計時すると、Pulse信号をローレベルにする。これにより、動作制御部54gはLatch2信号を発生する。このLatch2信号によりレジスタ53は内部カウンタ52のカウント値を格納する。このカウント値Cは100msの間に発生したシステムクロック数であり、ソフトインタフェ

ースレジスタ56に書き込まれる。一方、CPU71はPulse信号がローレベルになったかチェックしてお(ステップ103)、Pulse信号がローレベルになると、レジスタ56(CNT0, CNT1, CNT2)に書き込まれているカウント値Cを読み取り、CLとして内蔵のRAMに記憶する(ステップ104)。以上により、クロック発振器21eが最低周波数で発振しているとき、該クロック発振器から100msecの間に発生するシステムクロック数CLの保存が終了する。

【0034】ついで、CPU71は周波数設定レジスタ57に最大値00FFh(10進数で255)を設定すると共に、チェックレジスタ58に8000h(最上位ビットが"1"で他のビットは"0")を設定する(ステップ105、106)。周波数設定レジスタ57の設定値はDA変換、増幅されてクロック発振器21eに入力し、クロック発振器21eは所定の周波数($=27\text{MHz}+\Delta\text{ppm}$)のシステムクロックを出力する。又、チェックレジスタ58は8000h(最上位ビットが"1")が設定されるとハイレベルのStart信号を出力し、動作制御部59はハイレベルのStart信号によりReset信号を発生する。これにより、内部カウンタ52は内容を零にクリアしてシステムクロックのカウントを開始する。又、該カウントと同時にパルス生成部60は内部タイマーをリセットして計時を開始すると共にハイレベルのPulse信号を出力する。以後、内部カウンタ52によるシステムクロックのカウントが継続し、パルス生成部60は100msを計時すると、Pulse信号をローレベルにする。Pulse信号がローレベルになると動作制御部54はLatch2信号を発生する。このLatch2信号によりレジスタ53は内部カウンタ52のカウント値を格納する。このカウント値Cは100msの間に発生したシステムクロック数であり、ソフトインタフェースレジスタ56に書き込まれる。

【0035】一方、CPU71はPulse信号がローレベルになったかチェックしてお(ステップ107)、Pulse信号がローレベルになると、レジスタ56(CNT0, CNT1, CNT2)に書き込まれているカウント値Cを読み取り、CHとして内蔵のRAMに記憶する(ステップ108)。以上により、クロック発振器21eが最高周波数で発振しているとき、該クロック発振器から100msecの間に発生するシステムクロック数CHの保存が終了する。カウント値CL, CHが求めれば、CPU71は次式

$$\Delta C = CH - CL$$

により、カウント値の差 ΔC を演算し(ステップ109)、ついで、次式

$$\Delta F = \Delta C / t \quad \text{但し、} t = 100\text{ms}$$

により、クロック発振器21eの周波数可変範囲 ΔF を求める。ついで、次式

$$f = \Delta F / (27 \times 10^6)$$

により、目標周波数27MHzに対する最大周波数可変範囲

f (ppm)を演算する(ステップ110)。そして、最後に次式

$$X = 255 / f$$

により、予め設定されている最大可変周波数範囲(図7の例では255(ppm))と実際の最大可変周波数範囲f(ppm)との比Xを求める(ステップ111)。以上により、クロック発振器の特性調査処理(CHECK処理)が終了する。

【0036】(e-2)周波数同期処理(RUNNING処理)における前処理

図10は周波数同期処理(RUNNING処理)における前処理フロー(フェーズA)であり、図3のハードウェア及び図4のタイムチャートを参照して説明する。まず、CPU71は保存周波数ズレ数n、周波数ズレの積算値ΣF、及び周波数ズレが規定値を連続して越えた回数eを全て0に初期化する(ステップ201)。ついで、CPU71は周波数設定レジスタ57に初期値として0080h(10進数で128)を設定する(ステップ202)。周波数設定レジスタに設定された値はDA変換されてクロック発振器21eに入力され、クロック発振器21eは約27MHzで発振する。内部カウンタ52はクロック発振器21eから出力されるシステムクロックを計数する。

【0037】以後、CPU71はPCR到来による割込みIRQの発生を待つ(ステップ203)。MPEG2システム分離部21c(図1)は、受信した各トランスポートパケットTPPに含まれる42ビットのPCR値を分離してビットシリアルにPCR格納部51に入力すると共に、PCRの到来完了を監視し、最後のPCRビットの受信でPCR到来完了通知信号を動作制御部54に入力する。これにより、動作制御部54はLatch信号及びLatch2信号を発生し、PCR値を基準PCR格納部51に格納すると共に、内部カウンタ52のカウント値をレジスタ53に格納する。内部カウンタ52は以後、システムクロックのカウントを続行する。又、基準PCR格納部51及びレジスタ53にそれぞれ格納された基準PCR値A及びカウント値Cは、CPU71により読み取り可能となるようにソフトインタフェースレジスタ55、56に書き込まれる。

【0038】しかる後、動作制御部54は内蔵の割込みレジスタ59に割込みフラグPcr-IRQをセットする。割込みフラグPcr-IRQがセットされると、CPU71はこれを認識してレジスタ56(CNT0, CNT1, CNT2)に記憶されているカウント値Cを読み取り、内蔵のRAMにC[0]として格納する(ステップ204)。ついで、CPU71はレジスタ55(PCR0, PCR1, PCR2)に記憶されている基準PCR値Pを読み取り、内蔵のRAMにP[0]として格納し、割込みフラグPcr-IRQをリセットする(ステップ205)。以上により、前処理における最初の基準PCR値及びカウント値がRAMに格納される。

【0039】ついで、CPU71は次のPCR到来による割込みIRQの発生を待つ(ステップ206)。動作制御部54は次のPCR到来完了通知信号を受信すると、前述と同様にLatch信号及びLatch2信号を発生し、PCR値を基準PCR格納部51に格納すると共に、内部カウンタ52のカウント値をレジスタ53に格納する。内部カウンタ52は以後、システムクロックのカウントを続行する。又、基準PCR格納部51及びレジスタ53に格納された基準PCR値A及びカウント値Cは、CPU71により読み取り可能となるようにソフトインタフェースレジスタ55、56に書き込まれる。しかる後、動作制御部54は内蔵の割込みレジスタ59に割込みフラグPcr-IRQをセットする。割込みフラグPcr-IRQがセットされると、CPU71はこれを認識し、図11に示す周波数ズレ算出のサブルーチンAを実行する(ステップ207)。

【0040】サブルーチンAにおいて、CPU71はレジスタ56(CNT0, CNT1, CNT2)に記憶されているカウント値Cを読み取り、内蔵のRAMにC[1]として格納する(ステップ207a)。ついで、CPU71は次式 $\Delta C = C[1] - C[0]$

により、基準PCR値の到来間隔の間における内部カウンタ52の増分ΔC(基準PCR値の到来間隔の間に発生したシステムクロック数)を算出し(ステップ207b)、ついで、次式

$$\Delta T = \Delta C / (27 \times 10^6)$$

により、基準PCR値の到来間隔時間ΔTを算出する(ステップ207c)。CPU71は基準PCR値の到来間隔時間ΔTの算出が完了すれば、レジスタ55(PCR0, PCR1, PCR2)に記憶されている今回の基準PCR値Pを読み取り、内蔵のRAMにP[1]として格納し、割込みフラグPcr-IRQをリセットする(ステップ207d)。ついで、CPU71は次式

$$\Delta P = P[1] - P[0]$$

により、今回と前回の基準PCR値の差分ΔP(符号器側システムクロック数)を計算する(ステップ207e)。

【0041】しかる後、CPU71は周波数ズレΔFを次式

$$\Delta F(\text{ppm}) = (\Delta C - \Delta P) / (\Delta T \times 27 \times 10^6)$$

により求める(ステップ207f)。以上により、周波数偏差を設定周波数で除算した周波数ズレ(単位はppm)が求まる。ついで、C[1]、P[1]をC[0]、P[0]にし(ステップ207g)、周波数ズレ算出のサブルーチンを終了する。周波数ズレΔF(ppm)が求まれば、CPU71は該周波数ズレの絶対値|ΔF|が予め設定されている規定値f(ppm)以上かチェックする(図10、ステップ208)。規定値としては、例えばf(ppm)=100(ppm)とする。

【0042】|ΔF|<fであれば、CPU71は求まっ

た周波数ズレ ΔF を n 番目の周波数ズレ $F[n]$ として内蔵のRAMに格納する(配列 $F[n]$ にためて行く)(ステップ209)。ついで、CPU71は周波数ズレの絶対値 $|\Delta F|$ が連続して規定値 f (ppm)以上になった回数

(連続回数) e を0にクリアし(ステップ210)、 n を歩進し($n+1 \rightarrow n$ 、ステップ211)、次式 $\Sigma F = \Sigma F + \Delta F$

により、それまで求めてある n 個の周波数ズレ $F[0] \sim F[n-1]$ を積算する(ステップ212)。周波数ズレの積算値 ΣF が求まれば、次式

$$F = \Sigma F / n$$

により、 n 個の周波数ズレの平均値を求め(ステップ213)、図12に示す周波数設定値決定のサブルーチンBを実行する(ステップ214)。

【0043】サブルーチンBにおいて、CPU71は、CHECK処理ですでに求めてある比 X を用いて次式

$$F_x = F \cdot X$$

により、周波数補正值 F_x を計算する(ステップ214a)。ついで、CPU71は周波数設定レジスタ57に設定してある現在の周波数設定値 V を読み取り(ステップ214b)、次式

$$V = V + F_x$$

により、新周波数設定値 V を計算し(ステップ214c)、新周波数設定値 V を周波数設定レジスタ57に書き込む(ステップ214d)。これにより、新周波数設定値 V はDA変換されてクロック発振器21eに入力され、設定値に応じた周波数で発振する。

【0044】以上により、サブルーチンBが終了すれば、CPU71は $n = N - 1$ (N は例えば64)になったかチェックし(ステップ215)、 $n < N - 1$ であれば、ステップ206以降の処理を繰り返す。しかし、 $n = N - 1$ になって、 N (=64)個の周波数ズレ $F[0] \sim F[63]$ が求まれば前処理は終了するから $n = 0$ とし(ステップ216)、以後、CPU71はフェーズBの本来の周波数同期処理を行なう。一方、ステップ208において、周波数ズレの絶対値 $|\Delta F|$ が予め設定されている規定値 f (ppm)以上であれば($|\Delta F| \geq f$)、CPU71はサブルーチンAで求めた周波数ズレを記憶せず(廃棄)、連続回数 e を歩進する($e + 1 \rightarrow e$ 、ステップ221)。ついで、 $e > E - 1$ (E は規定回数で例えば10である)であるかチェックし(ステップ222)、 $e \leq E - 1$ であれば、ステップ206以降の処理を繰り返す。しかし、 $e > E - 1$ であれば、網の状況が変化したものとして、ステップ201に戻り前処理を最初から行う。以上では、 N (=64)個の周波数ズレが求まるまで、保存した全周波数ズレの平均値を求めて前処理を実行したが以下のようにすることもできる。すなわち、 N (=64)以下の個数 m (例えば8)を設定し、 N 個の周波数ズレが求まるまで最新の m 個の平均値を求めて前処理を実行する。

【0045】(e-3)周波数同期処理(RUNNING処理)における本来の処理(フェーズB)

図13は周波数同期処理(RUNNING処理)における前処理後の本来の処理フロー(フェーズB)であり、図3のハードウェア及び図4のタイムチャートを参照して説明する。フェーズAの前処理後、CPU71は割込みIRQに基づいて次のPCR到来を監視する(ステップ301)。動作制御部54は次のPCR到来完了通知信号を受信すると、Latch信号及びLatch2信号を発生し、PCR値を基準PCR格納部51に格納すると共に、内部カウンタ52のカウント値をレジスタ53に格納する。内部カウンタ52は以後、システムクロックのカウントを続行する。又、基準PCR格納部51及びレジスタ53に格納された基準PCR値A及びカウント値Cは、CPU71により読み取り可能となるようにソフトインタフェースレジスタ55、56に書き込まれる。しかる後、動作制御部54は内蔵の割込みレジスタ59に割込みフラグPcr-IRQをセットする。割込みフラグPcr-IRQがセットされると、CPU71はこれを認識し、図11に示す周波数ズレ算出のサブルーチンAを実行する(ステップ302)。

【0046】サブルーチンAにより、今回と前回のPCR到来間隔における周波数ズレ ΔF (ppm)が求まれば、CPU71は該周波数ズレの絶対値 $|\Delta F|$ が予め設定されている規定値 f (ppm)以上かチェックする(ステップ303)。規定値としては、例えば f (ppm)=100(ppm)とする。 $|\Delta F| < f$ であれば、CPU71は求めた周波数ズレ ΔF を n 番目の周波数ズレ $F[n]$ として内蔵のRAMに格納する(フェーズAで使用する $F[n]$ に上書きする)(ステップ304)。ついで、CPU71は周波数ズレの絶対値 $|\Delta F|$ が連続して規定値 f (ppm)以上になった回数(連続回数) e を0にクリアし(ステップ305)、 n を歩進し($n + 1 \rightarrow n$ 、ステップ306)、次式

$$\Sigma F = F[0] + F[1] + F[2] + \dots + F[N-1]$$

により、最新の N (=64)個の周波数ズレの積算値 ΣF を計算する(ステップ307)。最新の N (=64)個の周波数ズレの積算値 ΣF が求まれば、次式

$$F = \Sigma F / N$$

により、 N 個の周波数ズレの平均値を求め(ステップ308)、図12に示す周波数設定値決定のサブルーチンBを実行する(ステップ309)。すなわち、サブルーチンBにおいて、CPU71は、CHECK処理ですでに求めてある比 X を用いて次式

$$F_x = F \cdot X$$

により、周波数補正值 F_x を計算する(ステップ214a)。

【0047】ついで、CPU71は周波数設定レジスタ57に設定してある現在の周波数設定値 V を読み取り(ステップ214b)、次式

$V = V + F_i$

により、新周波数設定値 V を計算し（ステップ214c）、新周波数設定値 V を周波数設定レジスタ57に書き込む（ステップ214d）。これにより、新周波数設定値 V はDA変換されてクロック発振器21eに入力され、設定値に応じた周波数で発振する。以上により、サブルーチンBが終了すれば、CPU71は $n = N - 1$ （ $N = 64$ ）になったかチェックし（ステップ310）、 $n \leq N - 1$ であれば、ステップ301以降の処理を繰り返す。しかし、 $n > N - 1$ になれば（ $n = 64$ ）、 $n = 0$ として初期化してから（ステップ311）、ステップ301以降の処理を繰り返す。

【0048】一方、ステップ303において、周波数ズレの絶対値 $|\Delta F|$ が予め設定されている規定値 f （ppm）以上であれば（ $|\Delta F| \geq f$ ）、CPU71はサブルーチンAで求めた周波数ズレを記憶せず（廃棄）、連続回数 e を歩進する（ $e + 1 \rightarrow e$ 、ステップ321）。ついで、 $e > E - 1$ （ E は規定回数で例えば10である）であるかチェックし（ステップ322）、 $e \leq E - 1$ であれば、ステップ301以降の処理を繰り返す。しかし、 $e > E - 1$ であれば（ $e = E$ ）、網の状況が変化したものとして、前処理（フェーズA）を再実行する（ステップ323）。

【0049】以上では、 N を一定値に固定した場合であるが、適宜、ネットワークに応じて N の値を変更することもできる。すなわち、ISO/IEC MPEG2システムのトランスポート・ストリームを用いる画像伝送システムでは、一般的に高速デジタル専用線が用いられ、本ネットワークでの網ジッタは微量（ ± 30 ppm以内）である。しかし、本画像伝送システムはATM網への適用も考えられており、ATM網においてデータ伝送時の遅延揺らぎCDV（Cell Delay Deviation）で生じるPCR到達間隔のジッタは、専用線の場合と比べて非常に大きい（最大1ms程度）。かかる場合、平滑化に用いる N の数量を専用線時より多くすることで、ATM網時のようなジッタ量が多い場合のネットワークへの対応が可能となる。例えば、専用線では配列数 $N = 64$ とし、ATM網では $N = 128$ または256等と大きくすることで対処する。

【0050】以上では、MPEG2-TSの場合について説明したが、MPEG2のもう1つの方式であるMPEG2-PS（PS：Program Stream）にも本発明を適用できる。この場合、時刻基準情報としてMPEG2-PSではPCRの代わりにSCR（System Clock Reference）を使用する。以上で説明した、(1) PCR到来時間間隔の決定法、(2) N 個の周波数ズレの平均値を零にする平均周波数ズレ補正法、(3) クロック発振器の特性を考慮した周波数設定値の決定法は、別個に、あるいは、適宜組み合わせることで実行できる。以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本

発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

【0051】

【発明の効果】以上本発明によれば、基準カウント値の到来間隔において発生したシステムクロック数 ΔC をシステムクロック周波数で除算することにより基準PCRカウント値の到来間隔時間 ΔT を算出するようにしたから、ソフトウェア・タイマーを使用しなくても、該到来間隔時間 ΔT を正確に測定でき、しかも、CPUの負荷を軽減することできる。本発明によれば、復号側のシステムクロックをカウンタで計数し、基準カウント値の到来時刻における該カウンタのカウント値を読み取ってレジスタに記憶し、今回の基準カウント値到来時にレジスタに記憶したカウント値と前回のカウント値との差分 ΔC と、今回の基準カウント値と前回の基準カウント値の増分 ΔP と、基準カウント値の前記到来間隔時間 ΔT を用いて符号器側と復号器側のクロック周波数のズレを算出し、該周波数ズレに応じた周波数設定値を設定するようにしたから、周波数ズレの計算開始処理が遅れてもカウント値が変化することなく、正確に周波数ズレを計算することができる。

【0052】本発明によれば、今回の周波数ズレを含めて最新の N 個の周波数ズレを保存し、該 N 個の周波数ズレの平均値を算出し、該平均周波数ズレが零となるようにシステムクロック周波数を制御するようにしたから、網ジッタ等で基準カウント値の到来時間間隔が変動しても $1/N$ に平滑化でき、ジッタによる影響を軽減して正しい周波数ズレを計算することができる。すなわち、本発明によれば、ネットワーク経由での伝送時に生じる網ジッタの影響で算出される瞬間的な周波数ズレを平滑化でき、その影響を軽減できる。本発明によれば、 N 個の周波数ズレを求める前処理を実行し、しかる後、最新の N 個の周波数ズレを用いて周波数同期処理を実行するようにしたから、正確に周波数ズレを求めて補正することができる。

【0053】本発明によれば、得られた周波数ズレが規定値より大きい場合、該周波数ズレを廃棄して保存しないようにしたから、一過性の大きなジッタによる影響を無視して正しい周波数ズレを求めることができる。本発明によれば、周波数ズレが規定値より大きくなることが連続する場合、保存している N 個の周波数ズレが現状のネットワークの状態に適応していないとし、再度前処理を行うようにしたため、現状のネットワークの状態に適応した N 個の周波数ズレを保持でき、正しい周波数同期制御ができる。本発明によれば、回線障害等に起因して基準カウント値の到来が途切れた時は前処理を再開することにより、現状のネットワークの状態に適応した N 個の周波数ズレを保持でき、正しい周波数同期制御ができる。

【0054】本発明によれば、周波数設定レジスタに最

小値を設定した時にクロック発振器より所定時間Tの間に発生するシステムクロック数と、周波数設定レジスタに最大値を設定した時にクロック発振器より所定時間Tの間に発生するシステムクロック数を求め、両クロック数の差を前記時間T及びシステムクロック周波数で除算した値をクロック発振器の実際の最大可変周波数とし、該実際の最大可変周波数と予め設定されている最大可変周波数との比Xを求めて保存し、周波数ズレに該比Xを乗算して周波数設定値を求めてレジスタに設定するようにしたため、クロック発振器の周波数可変範囲特性が製品毎に異なる場合であっても、該特性を考慮して周波数ズレに応じた正しい周波数設定値をレジスタに設定して周波数ズレが零となるように制御することでき、これにより、符号器側及び復号器側におけるシステムクロックの周波数同期性を向上することができる。

【図面の簡単な説明】

【図1】MPEG2-TS画像伝送システムの構成図である。

【図2】MPEG2-TSのトランスポートパケット説明図である。

【図3】本発明の復号器側クロック周波数同期回路の構成図である。

【図4】周波数同期制御時のタイムチャートである。

【図5】クロック発振器の特性調査時のタイムチャートである。

【図6】ソフトインタフェースレジスタの構成図である。

10

20

*

*【図7】補正値と周波数修正値(ppm)の関係を示す図表である。

【図8】CPUの全体の処理説明図である。

【図9】周波数可変特性調査制御におけるCPUの処理フロー(CHECK処理)である。

【図10】周波数ズレ平滑化前処理フロー(フェーズA)である。

【図11】周波数ズレ算出処理のサブルーチンAである。

【図12】周波数設定値決定処理のサブルーチンBである。

【図13】クロック周波数同期処理フロー(フェーズB)である。

【図14】PCR値と各種信号のタイミング関係図である。

【図15】従来の復号器側クロック周波数同期回路の構成図である。

【図16】CPUの処理説明図である。

【図17】従来方法による周波数偏差説明図である。

【符号の説明】

21e・・・クロック発振器
51・・・PCR格納部
52・・・内部カウンタ
53・・・レジスタ
54・・・動作制御部
57・・・周波数設定レジスタ
71・・・CPU

【図7】

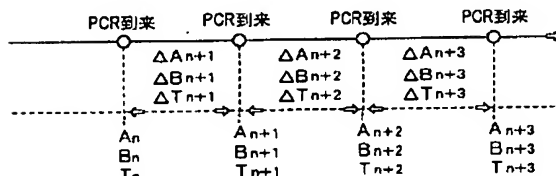
補正値と周波数修正値(ppm)の関係を示す図表

(例:8ビット使用時の27.0MHzに対する補正値)

VCXO[7:0]	0xFF	0x81	0x80	0x7F	0x7E	0x00
修正値	+127ppm	+1ppm	0ppm	-1ppm	-2ppm	-128ppm

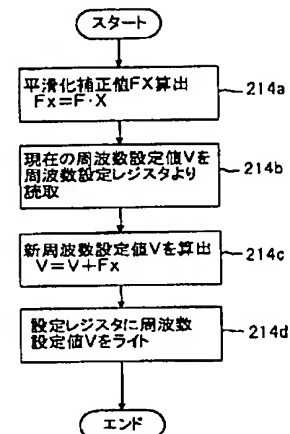
【図16】

CPUの処理説明図



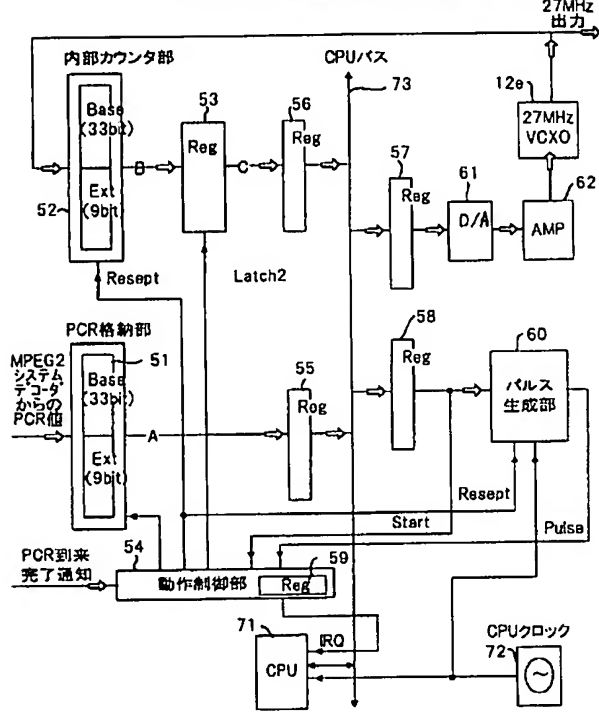
【図12】

サブルーチンB(周波数設定値決定処理)のフロー



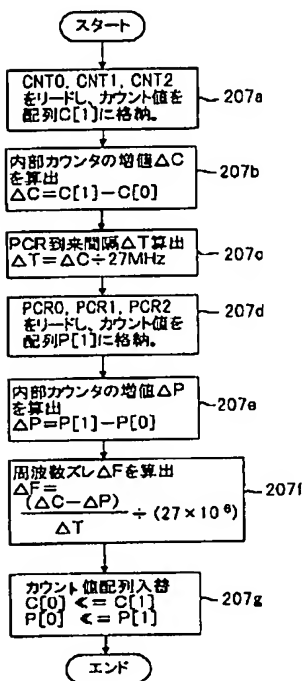
【図3】

本発明の信号器制クロック周波数同期回路の構成



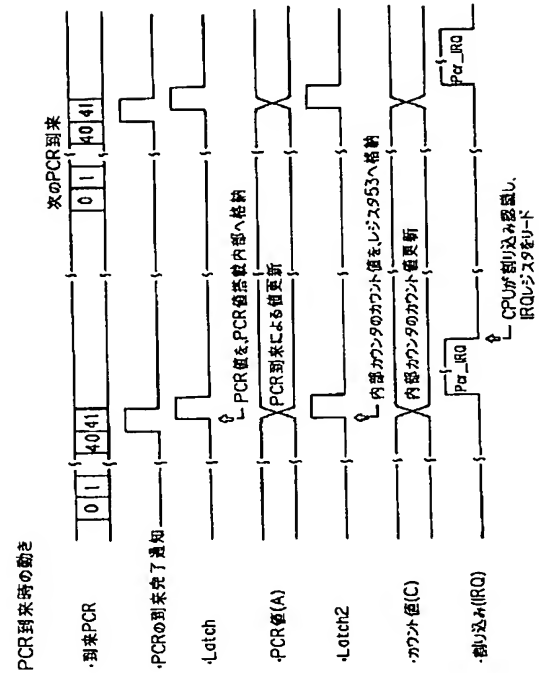
【図11】

サブルーチンA(周波数スレ算出処理)フロー



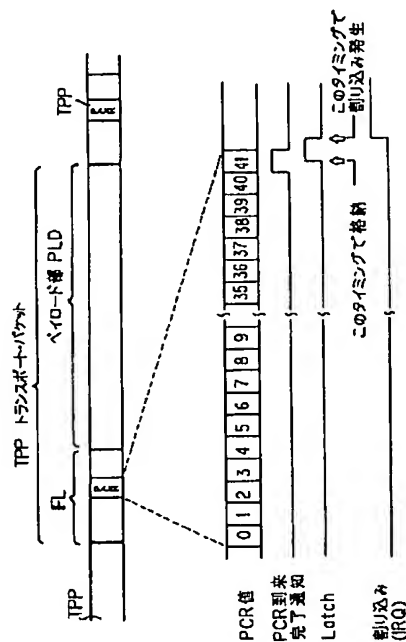
【図4】

周波数同期制御時のタイムチャート



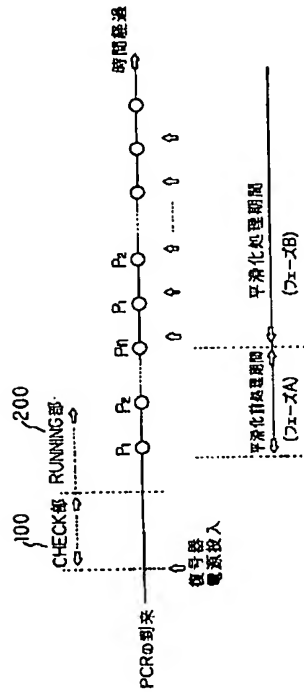
【図14】

PCR値と各種信号のタイミング関係図



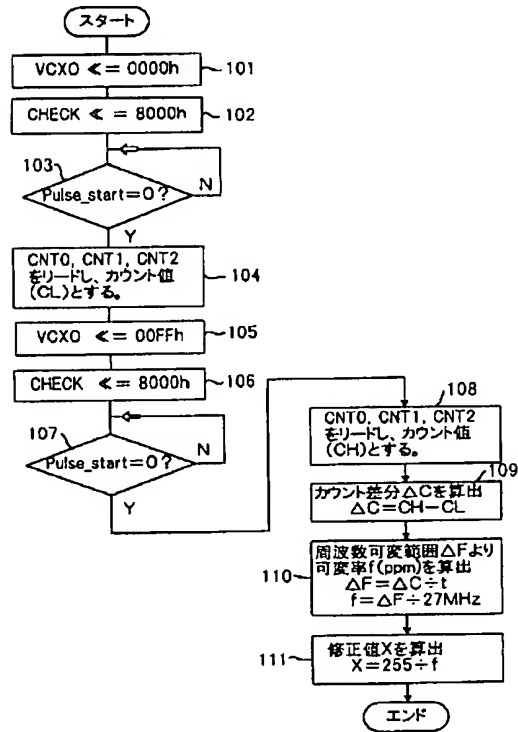
【図8】

CPUの全体の処理説明図



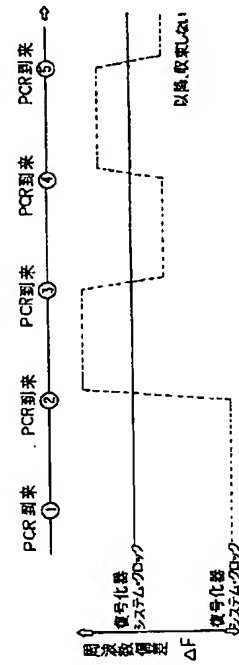
【図9】

周波数可変特性調査制御におけるCPUの処理フロー(CHECK処理)



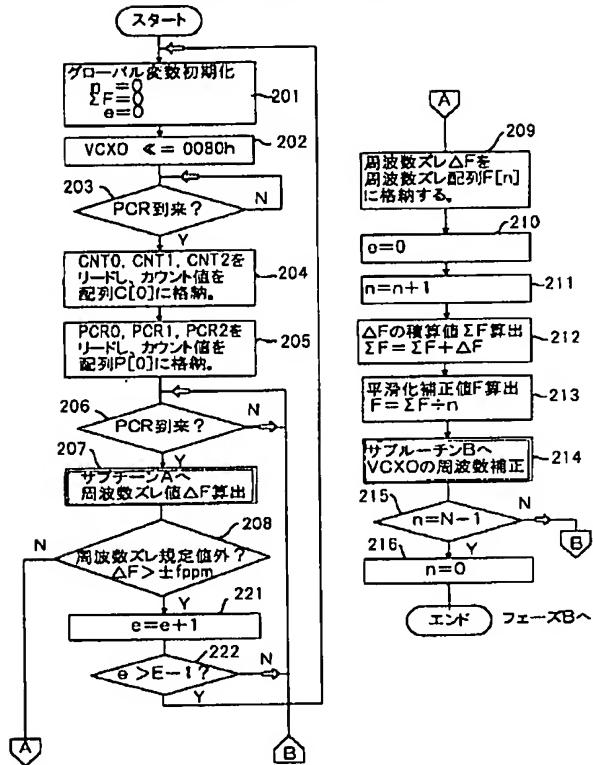
【図17】

従来方法による周波数偏差説明図



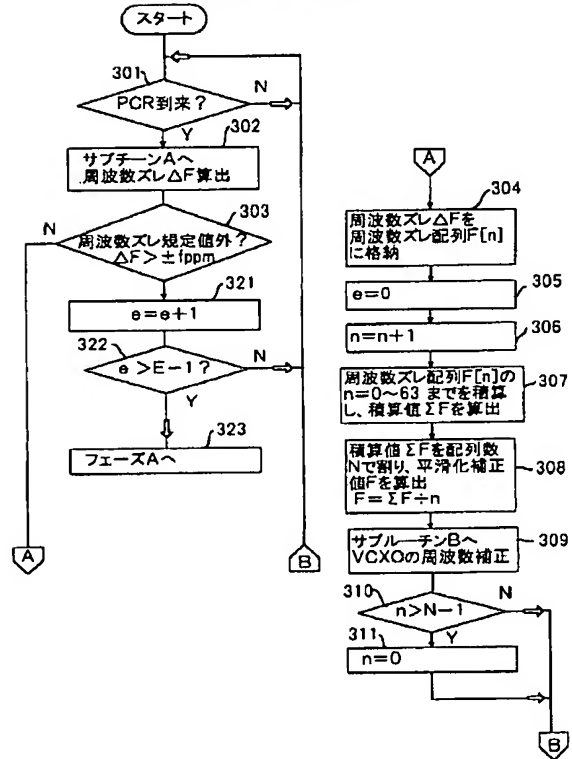
【図10】

周波数スレ平滑化前処理フロー(フェーズA)



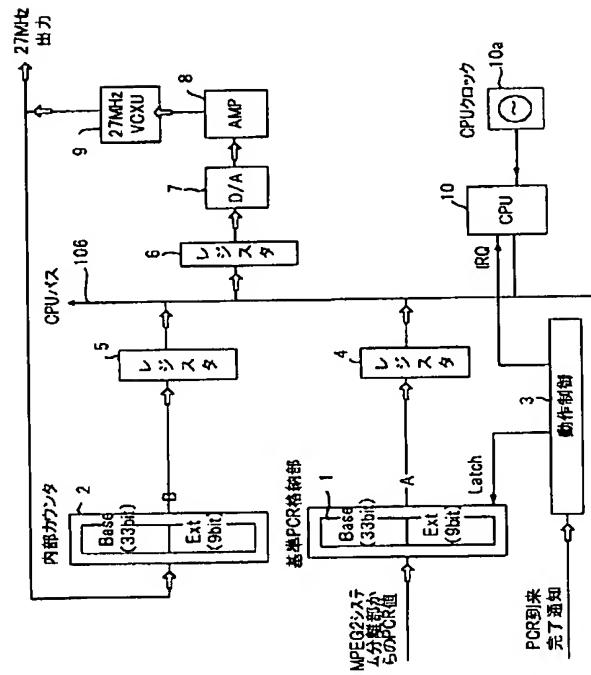
【図13】

クロック周波数同期処理フロー(フェーズB)



【図 15】

従来の信号器側クロック周波数同期回路の構成



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-136224

(43)Date of publication of application : 21.05.1999

.....
(51)Int.Cl. H04L 7/00

// H03L 7/00

.....
(21)Application number : 09-296801 (71)Applicant : FUJITSU LTD

(22)Date of filing : 29.10.1997 (72)Inventor : MOTOYAMA HIDEYUKI

.....
(54) CLOCK FREQUENCY SYNCHRONIZING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To surely conduct frequency synchronization of a system clock at a coder side and a decoder side in a short time.

SOLUTION: An arithmetic processing unit (CPU) 71 calculates a PCR arrival interval time ΔT , by dividing an increment ΔC of a count of an internal counter 52 at a PCR arrival interval by a system clock frequency, calculates a deviation in a clock frequency between a coder and a decoder by using the increment ΔC of the count of the internal counter 52, an increment ΔP of the preceding PCR and the PCR value this time, and the PCR arrival interval time ΔT , and a clock oscillator is controlled so that a mean value of N-sets of newest frequency deviations, including the frequency deviation this time, is zero.

.....
LEGAL STATUS [Date of request for examination] 24.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3433071

[Date of registration] 23.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The counted value of the encoder side system clock transmitted from an encoder is received as criteria counted value. In the clock frequency synchronizer which generates the decoder side system clock which carried out frequency synchronization to the encoder side system clock based on this criteria counted value A detection means to detect arrival of said criteria counted value, the system clock generating section which generates a decoder side system clock, Arrival spacing time amount ΔT of criteria counted value is computed by doing the division of increment ΔC of the counted value of a means on a system clock frequency. counting which carries out counting of the decoder side system clock -- said counting in arrival spacing of a means and said criteria counted value -- said counting -- with increment ΔC of the counted value of a means, and increment ΔP of the criteria counted value of last time and this time A data-processing means to compute gap of the clock frequency by the side of an encoder and a decoder using arrival spacing time amount ΔT of said criteria counted value, The clock frequency synchronizer

characterized by having the clock frequency control means which controls the system clock generating section by the side of a decoder so that this frequency gap serves as zero.

[Claim 2] A means is equipped with the counter which carries out counting of the system clock by the side of decode, and the 1st register which stores the counted value of this counter at the time of arrival of criteria counted value. said counting -- said data-processing means (1) The 2nd register which stores this transmitted criteria counted value, (2) The attaching part which holds the last criteria counted value and the counted value of the last counter, respectively, and (3) the difference of this counted value stored in the 1st register at the time of this criteria counted value arrival, and the last counted value -- with ΔC Increment ΔP of this criteria counted value stored in the 2nd register, and the last criteria counted value, Gap of the clock frequency by the side of an encoder and a decoder is computed using said arrival spacing time amount ΔT of criteria counted value. It has the data-processing unit which determines a frequency setting value that this frequency gap will serve as zero. Said clock frequency control means It has the DA converter which changes into an analog value the frequency setting value set as the frequency setting register and this

frequency setting register with which said frequency set point is set up. Said system clock generating section The clock frequency synchronizer according to claim 1 characterized by carrying out adjustable [of the oscillation frequency of a system clock] in the direction in which frequency gap becomes small based on this DA converter output signal value.

[Claim 3] Said data-processing unit is a clock frequency synchronizer according to claim 2 characterized by computing said frequency gap with the deflection to a system clock frequency by doing the division of the difference of Above ΔC and ΔP on said arrival spacing time amount ΔT and a system clock frequency.

[Claim 4] The number of system clocks generated between predetermined time T from the system clock generating section when said data-processing unit sets the minimum value as said frequency setting register, It asks for the number of system clocks generated between predetermined time T from the system clock generating section when maximum is set as said frequency setting register. The value which did the division of the difference of the number of both clocks on said time amount T and a system clock frequency is made into the actual maximum variable frequency of the system clock generating section. this -- the

ratio of the actual maximum variable frequency and the maximum variable frequency set up beforehand -- X -- asking -- saving -- said frequency gap -- this -- a ratio -- the clock frequency synchronizer according to claim 3 characterized by carrying out the multiplication of the X and setting it as a frequency setting register in quest of said frequency set point.

[Claim 5] The number of system clocks generated between predetermined time T from the system clock generating section when said data-processing unit sets the minimum value as said frequency setting register, It asks for the number of system clocks generated between predetermined time T from the system clock generating section when maximum is set as said frequency setting register. The value which did the division of the difference of the number of both clocks on said time amount T and a system clock frequency is made into the actual maximum variable frequency of the system clock generating section. It saves in quest of X. this -- the ratio of the actual maximum variable frequency and the maximum variable frequency set up beforehand -- The clock frequency synchronizer according to claim 3 characterized by saving the frequency gaps of the newest N individual including this frequency gap, carrying out the multiplication of said ratio X to the average value of frequency gap of N individual,

and setting it as said frequency setting register in quest of the frequency set point.

[Claim 6] the maximum frequency tuning range required of the system clock generating section of a decoder -- frequency modification of $\pm A$ (ppm) and said frequency setting register of per the minimum bit (1LSB) -- the clock frequency synchronizer according to claim 3 characterized by deciding the number of bits of a frequency setting register that a setup of $2 A/a$ is attained when setting resolving power to a (ppm).

[Claim 7] The counted value of the encoder side system clock transmitted from an encoder is received as criteria counted value. In the clock frequency synchronizer which generates the decoder side system clock which carried out frequency synchronization to the encoder side system clock based on this criteria counted value A detection means to detect arrival of said criteria counted value, the system clock generating section which generates a decoder side system clock, counting which carries out counting of the decoder side system clock -- arrival spacing ΔT of a means and said criteria counted value -- supervising -- said counting -- with increment ΔC of the counted value of a means Gap of the clock frequency by the side of an encoder and a decoder is

computed using increment ΔP of the criteria counted value of last time and this time, and arrival spacing time amount ΔT of said criteria counted value. And the frequency gaps of the newest N individual including this frequency gap are saved. The clock frequency synchronizer characterized by having a data-processing means to compute the average of frequency gap of this N individual, and the clock frequency control means which controls said system clock generating section so that said average-frequency gap serves as zero.

[Claim 8] Said data-processing means is a clock frequency synchronizer in the decoder according to claim 7 characterized by performing pretreatment which controls frequency gap using the frequency gap accumulated, and performing original processing which controls frequency gap using frequency gap of the newest N individual after accumulating frequency gap of N individual before frequency gap of N individual is accumulated.

[Claim 9] Said data-processing means is a clock frequency synchronizer according to claim 7 or 8 characterized by discarding this frequency gap and not saving it when the obtained frequency gap is larger than default value.

[Claim 10] Said data-processing means is a clock frequency synchronizer according to claim 9 characterized by resuming said pretreatment when the

count discarded continuously becomes more than a predetermined number.

[Claim 11] Said data-processing means is a clock frequency synchronizer according to claim 9 characterized by resuming said pretreatment in original processing when arrival of criteria counted value breaks off.

[Claim 12] The counted value of the encoder side system clock transmitted from an encoder is received as criteria counted value. In the clock frequency synchronizer which generates the decoder side system clock which carried out frequency synchronization to the encoder side system clock based on this criteria counted value A detection means to detect arrival of said criteria counted value, the system clock generating section which generates a decoder side system clock, Arrival spacing ΔT of a means and said criteria counted value is supervised. counting which carries out counting of the decoder side system clock -- It asks for increment ΔP of the criteria counted value of increment ΔC of the counted value of a means, last time, and this time. said counting -- The value which did the division of such difference on said arrival spacing time amount ΔT and system clock frequency A data-processing means to compute as clock frequency gap by the side of an encoder and a decoder, and to determine the frequency setting value according to this frequency gap, It has

the DA converter which changes into an analog value the frequency setting value set as the register with which said frequency set point is set up, and this register. It has the clock frequency control means which controls said system clock generating section so that frequency gap serves as zero. Said data-processing means The number of system clocks generated between predetermined time T from the system clock generating section when the minimum value is set as said frequency setting register, It asks for the number of system clocks generated between predetermined time T from the system clock generating section when maximum is set as said frequency setting register. The value which did the division of the difference of the number of both clocks on said time amount T and a system clock frequency is made into the actual maximum variable frequency of the clock generation section. this -- the ratio of the actual maximum variable frequency and the maximum variable frequency set up beforehand -- X -- asking -- saving -- said frequency gap -- this -- a ratio -- the clock frequency synchronizer which carries out the multiplication of the X and is characterized by determining the frequency set point and setting this frequency set point as a frequency setting register.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention receives the counted value of the encoder side system clock especially transmitted from an encoder as criteria counted

value with respect to the clock frequency synchronizer by the side of a decoder, and relates to the clock frequency synchronizer which generates the decoder side system clock which carried out frequency synchronization to the encoder side system clock based on this criteria counted value.

[0002]

[Description of the Prior Art] There is a data multiplexing transmission system called a transport stream (MPEG 2-TS) in an ISO/IEC MPEG 2 system. It is necessary to reproduce the system clock which carried out frequency synchronization to the system clock (27MHz) for image coding of use by the encoder side at the decoder side in the picture transmission system which multiplexes an image/voice/data via a network using this transport stream (MPEG 2-TS). For this reason, he inserts and transmits PCR (Program Clock Reference program time-of-day criteria reference value) to each transport packet TPP of a 188-byte configuration by the encoder side, and is trying to generate in MPEG 2-TS, the decoder side system clock which extracted the PCR value by the decoder side and carried out frequency synchronization to the encoder side system clock based on this PCR value, as shown in drawing 14 . An PCR value is the counted value which carried out counting of the encoder side system clock

the packet sending-out period, and is expressed by 42 bits. The transport packet TPP consists of payloads PLD which transmit the information FIRU section IFL in which various control information is inserted, and data, and the PCR value of 42 bits is inserted in the predetermined part of the information FIRU section IFL.

[0003] The system clock generating section which generates a system clock, the internal counter which carries out counting of this system clock, and the data-processing section are prepared in a decoder side. The data-processing section asks for the difference ΔA of number of system clocks ΔB in which the internal counter carried out counting from the last PCR value arrival time of day before this PCR value arrival time of day, and the PCR value of last time and this time. The difference ΔA of the PCR value of last time and this time is an increment of the number of system clocks by the side of an encoder. Therefore, the value which did the division of the difference of ΔA and ΔB by PCR arrival spacing time amount ΔT is frequency gap of the system clock by the side of an encoder and a decoder. Then, the division of the difference of ΔB and ΔA is done by ΔT in the data-processing section, and it asks for frequency gap, the oscillation frequency of the system clock generating section by the side of a decoder is controlled so that this frequency

gap serves as zero, and this establishes the frequency synchronization of the system clock of an encoder and a decoder.

[0004] Drawing 15 is the block diagram of the clock frequency synchronous circuit by the side of the conventional decoder. Among drawing, one is the criteria PCR storing section which stores sending out, now the PCR value of 42 bits to which it comes from the encoder of the MPEG 2 system separation section (not shown), and consists of 42 bits of the 33 bits Base section and the 9-bit Extension section. 2 is the internal counter which carries out counting of the system clock of a decoder, and is 42 bit patterns of the 33 bits Base section and the 9-bit Extension section. The count range of the Extension section is to 0-299, and the base section counts up the carry pulse from the Extension section. In system clock 27MHz, as for the internal counter 2, the count of a little more than 24 hours is attained. 3 is a control section of operation, as shown in drawing 14 , from the MPEG 2 system separation section, receives the notice signal of the completion of PCR arrival, and generates the latch signal Latch and interrupt signal IRQ. That is, the control section 3 of operation is (1). The control and (2) which generate a Latch signal and latch a criteria PCR value to the criteria PCR storing section 1 at the time of the PCR arrival from an encoder Generating

control of interrupt signal IRQ is performed at the time of PCR arrival.

[0005] A register for CPU to read counted value B of the internal counter 2, as for a register for CPU to read the criteria PCR value A, as for 4 and 5 and 6 are the registers for a frequency setup of a voltage-controlled clock generator (setting register of N bit), for example, when frequency correction value whose level-luffing-motion range is ± 100 ppm and the minimum bit is made into 1 ppm/LSB, they are $N = 8$. The DA converter which changes into direct current voltage N bit data with which 7 was set as the register, and 8 are amplifier, it is necessary to draw what performs the dynamic range of the output voltage from DA converter 7, and the gain adjustment between the input adjustable electrical-potential-difference range of the voltage-controlled clock generator of the next step, and 9 with the voltage-controlled clock generator (VCXO) which generates a 27MHz system clock, and they need to have the frequency adjustable range more than the range. As a commercial voltage-controlled clock generator 9, it is common to specify the lowest frequency adjustable value per unit electrical potential difference, and the thing of the following specification is marketed as an example. Namely, (1) Frequency adjustable value per unit electrical potential difference : ± 100 or more (± 150 ppm/V extent as ability)

ppm/V, and (2) Input adjustable electrical-potential-difference range : It is +2.5V**2V. An input adjustable electrical potential difference is **2V, and since a frequency adjustable value is **100 ppm/V, frequency modification of a little more than **200 ppm is possible for a clock generator 9.

[0006] 10 is a processor (CPU), although it is not illustrated, it consists of hardware, such as the data-processing section, program memory (ROM), data memory (RAM), and an input/output interface, and it performs a clock synchronous control by program control. 10a is a CPU clock generation machine, and 10b is a CPU bus.

[0007] The MPEG 2 system separation section (not shown) supervises the completion of arrival of PCR, and inputs the notice signal of the completion of PCR arrival into the control section 3 of operation by reception of the last PCR bit while it inputs the PCR value of 42 bits included in each transport packet TPP of the MPEG 2 transport stream which received into a bit serial at the criteria PCR storing section 1. Thereby, the control section 3 of operation generates a latch signal, stores an PCR value in the criteria PCR storing section 1, and outputs this PCR value A. Consequently, the PCR value A is read and stored in a register 4. Moreover, the newest counted value B of the internal counter 2 is

always read and stored in the register 5. After an appropriate time, the control section 3 of operation inputs interrupt signal IRQ into CPU10. the PCR value at which CPU10 which has recognized interruption arrived from registers 4 and 5 this time, and counting -- counted value B of the on-going internal counter 2 is read. Since both the last PCR values and last counted value are memorized by RAM of CPU10 built-in, CPU10 asks for the difference delta B of the counted value of difference deltaA of the PCR value of last time and this time and last time, and this time (refer to drawing 16). Moreover, PCR arrival time interval deltaT is computed by carrying out counting of the CPU clock for the elapsed time from last time to this time.

[0008] Subsequently, CPU10 is frequency deviation deltaF Degree type

$$\text{deltaF(ppm)} = (\text{deltaB} - \text{deltaA}) / (\text{deltaT} \times 27 \times 106)$$

It is alike and asks more. That is, the value (units are ppm) which did the division of the frequency gap generated in 1 second on the setting frequency is calculated. If frequency deviation deltaF (ppm) can be found, CPU10 will set this frequency deviation deltaF as a register 6. DA converter 7 changes into analog voltage the frequency data set as the register 6. If a register 6 is made into 8 bits, 255 steps of setup is possible. Moreover, 1 ppm/LSB A frequency modification

unit, then 27MHz About **128 ppm frequency modification is attained.

[0009] Amplifier 8 makes **100 ppm/V the frequency variable characteristics of a clock generator 9, and has gain characteristics with which it is satisfied of the following to the input value to DA converter 7. In addition, h means hexa and d means DESHIMARU.

(1) The output frequency of a clock generator 9 with the central value of 80h (128d) 27.0MHz and (2) The output frequency of a clock generator 9 at Maximum FFh (255d) 27.0MHz+127ppm and (3) The output frequency of a clock generator 9 at the minimum value of 00h (000d) 27.0MHz - 128 ppm. The clock generator 9 of an armature-voltage control mold changes a frequency in the direction in which frequency gap decreases based on an amplifier output. Henceforth, the above-mentioned control is performed for every PCR arrival. An actual system clock frequency changes a lot than frequency deviation ΔF which CPU10 set as the register 6 with the property of a clock generator. For this reason, transition of the frequency deviation of the system clock by the side of an encoder and a decoder follows transition (image) of frequency change as shown in drawing 17 , and the cycle number average value in long time amount carries out frequency synchronization to the system clock by the side of an encoder.

[0010] It is as follows when the operational environment in above-mentioned conventional MPEG 2-TS is summarized. Namely, (a) In MPEG 2-TS, sending-out spacing of PCR from an encoder is only specified as 100 or less ms, and the fixed nature of spacing is not specified.

(b) Generally, MPEG 2-TS is for transmitting an image/voice/data using a network, and an encoder and a decoder are arranged at remoteness. For this reason, the jitter of transfer time or a transmission clock occurs in a network. It is necessary to make large the adjustable range of the system clock by the side of a decoder by this jitter. For example, the frequency variation of the system clock (27MHz) for encoders of a convention by **MPEG 2-TS specification is less than **30 ppm, and the jitter of the circuit clock at the time of using a general digital dedicated line for the network used for ** picture transmission is about **30 ppm. For this reason, it is necessary to correspond to total**60ppm frequency variation, and the adjustable range of the system clock by the side of a decoder is the about [27MHz**100ppm] need including a margin.

(c) Calculation of the PCR arrival spacing time amount within a decoder is performing spacing (IRQ spacing) of the internal interruption generated in PCR arrival by the software timer (counting of a CPU clock).

(d) As for the 27MHz voltage-controlled clock generators of general marketing for system clocks used by the decoder side, the frequency variation per unit control voltage is specified only for the minimum value, and real frequency variation differs with each clock generator.

[0011]

[Problem(s) to be Solved by the Invention] Setting to the conventional method, PCR spacing is the above (c). It is measuring by the software timer (counting of a CPU clock) so that clearly. The usual software timer clocks time of day in the addition of the interruption generated at intervals of several 10ms called an interval timer - 100ms of numbers. Arrival spacing of PCR is the above-mentioned (a). In order to measure this PCR arrival spacing correctly since it is 100 or less ms so that clearly, the interval timer of 1ms unit extent is required. However, if the interval timer of such short-time spacing is used, the count of interruption of interrupt processing, i.e., a count, will increase, and the problem on which the load of CPU increases will arise. Moreover, when counting of the PCR arrival spacing is carried out with an interval timer (software timer), interruption recognition and the processing time of CPU become unstable. For this reason, there is a problem by which a big time error is included in the

calculation result of an PCR arrival time interval conventionally. Furthermore, with the conventional method, it is the above (b). There is no processing which absorbs the network jitter (jitter of the PCR arrival time interval generated in a network) set and explained. Moreover, the above (d) As explained, as for the frequency variation per unit electrical potential difference in the clock generator of an armature-voltage control mold, only the minimum value is only specified. For this reason, by the conventional method, even if it sets the frequency set point as a register so that it may become the frequency to expect, gap with the actual output frequency of a clock generator arises, and there is a problem that frequency synchronization nature is low (refer to drawing 17).

[0012] As mentioned above, the purpose of this invention is enabling it to measure correctly, without not using a software timer for PCR arrival spacing time amount, but moreover increasing the load of CPU. The purpose of this invention is being able to be made to carry out counting of the number of decoder side system clocks generated in the PCR arrival time interval correctly, and enabling it to compute frequency gap correctly by this. The purpose of this invention is making it synchronize certainly [are a short time and] the frequency synchronization of the system clock by the side of an encoder and a decoder.

The purpose of this invention is absorbing the jitter of the PCR arrival time interval generated to a network, computing frequency gap correctly, and enabling it to amend. Even if the purpose of this invention is the case where the frequency adjustable range properties of a clock generator differ for every product, it is controlling so that the right frequency set point according to frequency gap is set as a register in consideration of this property and this frequency gap serves as zero. The purpose of this invention is improving the frequency synchronicity of the system clock by the side of an encoder and a decoder.

[0013]

[Means for Solving the Problem]

(a) According to this invention, the 1st solution means above-mentioned purpose receives the counted value (PCR value) of the encoder side system clock transmitted from an encoder as criteria counted value. It is the clock frequency synchronizer which generates the decoder side system clock which carried out frequency synchronization to the encoder side system clock based on this criteria counted value. (1) The detection means and (2) which detect arrival of criteria counted value (PCR value) The system clock generating section which

generates a decoder side system clock, (3) counting which carries out counting of the decoder side system clock -- a means and (4) Arrival spacing time amount ΔT of criteria counted value is computed by doing the division of increment ΔC of the counted value of a means on a system clock frequency. said counting in arrival spacing of criteria counted value -- said counting -- with increment ΔC of the counted value of a means, and increment ΔP of the criteria counted value of last time and this time A data-processing means to compute gap of the clock frequency by the side of an encoder and a decoder using arrival spacing time amount ΔT of said criteria counted value, It is attained by the clock frequency synchronizer equipped with the clock frequency control means which controls the system clock generating section by the side of a decoder so that this frequency gap serves as zero. That is, since arrival spacing time amount ΔT of criteria counted value was computed by doing the division of number of system clocks ΔC generated in arrival spacing of criteria counted value on a system clock frequency, even if it does not use a software timer, this arrival spacing time amount ΔT can be measured correctly, moreover, it mitigates and the thing of the load of CPU can be carried out.

[0014] A means carries out counting of the system clock by the side of decode with a counter. In this case, counting -- The counted value of this counter in the arrival time of day of criteria counted value is read, and it memorizes to a register. A data-processing means The difference ΔC of this counted value memorized to the register in this criteria counted value arrival time of day, and the last counted value, Gap of the clock frequency by the side of an encoder and a decoder is computed using increment ΔP of this criteria counted value and the last criteria counted value, and said arrival spacing time amount ΔT of criteria counted value, and the frequency setting value according to this frequency gap is determined. Thus, since the counted value of the counter in the arrival time of day of criteria counted value was memorized to the register, even if count initiation processing of frequency gap is overdue, counted value does not change. For this reason, frequency gap is correctly calculable. By the conventional approach, if count initiation processing of frequency gap is overdue, between them, the contents of the counter increase, frequency gap must be calculated using the counted value which increased, and frequency gap cannot be calculated correctly.

[0015] (b) According to this invention, the 2nd solution means above-mentioned

purpose receives the counted value of the encoder side system clock transmitted from an encoder as criteria counted value (PCR value). It is the clock frequency synchronizer which generates the decoder side system clock which carried out frequency synchronization to the encoder side system clock based on this criteria counted value. (1) The detection means and (2) which detect arrival of criteria counted value The system clock generating section which generates a decoder side system clock, (3) counting which carries out counting of the decoder side system clock -- a means and (4) arrival spacing ΔT of criteria counted value -- supervising -- said counting -- with increment ΔC of the counted value of a means Gap of the clock frequency by the side of an encoder and a decoder is computed using increment ΔP of the criteria counted value of last time and this time, and arrival spacing time amount ΔT of said criteria counted value. And the frequency gaps of the newest N individual including this frequency gap are saved. The data-processing means and (4) which compute the average of frequency gap of this N individual It is attained by the clock frequency synchronizer equipped with the clock frequency control means which controls said system clock generating section so that said average-frequency gap serves as zero.

[0016] Thus, the frequency gaps of the newest N individual including this frequency gap are saved, the average of frequency gap of this N individual is computed, and since the system clock generating section was controlled so that this average-frequency gap served as zero, right frequency gap can be calculated by the ability to mitigate [even if it changes the arrival time interval of criteria counted value by a network jitter etc., can graduate to $1/N$, and] the effect by the jitter. That is, the momentary frequency gap computed under the effect of the network jitter produced at the time of transmission via a network can be graduated, and the effect can be mitigated. In a decoder side, the system clock is generating the various timing signals for reproducing an image and voice, momentary system clock frequency gap can be oppressed by this data smoothing, and the problem which the noise of color gap and image Bure of the image in the jitter of the various timing signals by instant frequency gap, and voice etc. generates can be solved.

[0017] In this case, before frequency gap of N individual is accumulated, a data-processing means performs pretreatment which controls frequency gap using the frequency gap accumulated, and after accumulating frequency gap of N individual, it performs original processing which controls frequency gap using

frequency gap of the newest N individual. If it does in this way, in original processing, it can ask for frequency gap correctly. Moreover, when the obtained frequency gap is larger than default value, this frequency gap is discarded and it is made not to save. If it does in this way, the effect by the transient big jitter can be disregarded and it can ask for right frequency gap. Moreover, when that frequency gap becomes larger than default value continues, it means that frequency gap of saved N individual does not fit the condition of the present network. In this case, frequency gap of N individual which was adapted for the condition of the present network is made to hold, and it is made to perform original processing by pretreating again after an appropriate time. Furthermore, when it originates in a line failure etc. and arrival of criteria counted value breaks off, frequency gap of N individual which was adapted for the condition of the present network by pretreating again similarly is made to hold, and it is made to perform original processing after an appropriate time.

[0018] (c) According to this invention, the 3rd solution means above-mentioned technical problem receives the counted value of the encoder side system clock transmitted from an encoder as criteria counted value. It is the clock frequency synchronizer which generates the decoder side system clock which carried out

frequency synchronization to the encoder side system clock based on this criteria counted value. (1) The detection means and (2) which detect arrival of criteria counted value The system clock generating section which generates a decoder side system clock, (3) -- counting which carries out counting of the decoder side system clock -- a means and (4) Arrival spacing ΔT of criteria counted value is supervised. It asks for increment ΔP of the criteria counted value of increment ΔC of the counted value of a means, last time, and this time. said counting -- The value which did the division of such difference on said arrival spacing time amount ΔT and system clock frequency A data-processing means to compute as clock frequency gap by the side of an encoder and a decoder, and to determine the frequency setting value according to this frequency gap, (5) It has the DA converter which changes into an analog value the frequency setting value set as the register with which said frequency set point is set up, and this register. It is attained by the clock frequency synchronizer equipped with the clock frequency control means which controls said system clock generating section so that frequency gap serves as zero.

[0019] In this case, the number of system clocks generated between predetermined time T from the system clock generating section when a

data-processing means sets the minimum value as a frequency setting register, It asks for the number of system clocks generated between predetermined time T from the system clock generating section when maximum is set as said frequency setting register. The value which did the division of the difference of the number of both clocks on said time amount T and a system clock frequency is made into the actual maximum variable frequency of the clock generation section. this -- the ratio of the actual maximum variable frequency and the maximum variable frequency set up beforehand -- X -- asking -- saving -- said frequency gap -- this -- a ratio -- the multiplication of the X is carried out, the frequency set point is determined, and this frequency set point is set as a frequency setting register. thus, if it carries out, even if it is the case where the frequency adjustable range properties of the clock generation section (clock generator of an armature-voltage control mold) differ for every product, it will control so that the right frequency set point according to frequency gap is set as a register in consideration of this property and this frequency gap serves as zero -- things can be carried out. Thereby, the frequency synchronicity of the system clock by the side of an encoder and a decoder can be improved. the above the 1- a clock frequency synchronizer can be constituted combining the 3rd solution

means.

[0020]

[Embodiment of the Invention]

(a) MPEG 2-TS image transmission-system drawing 1 is the block diagram of an MPEG 2-TS image transmission system, an upper case is an encoder side, the lower berth is a decoder side, and the network 31 connects between the encoder 11 and the decoder 21. What is prepared in an encoder side, respectively with the camera with which 41 incorporates an image, and the microphone with which 42 incorporates voice, the monitor by which 43 displays an image, and 44 are loudspeakers which output voice, and it is prepared in a decoder side. In an encoder 11, the image encoder with which 11a carries out compression coding of the image, the voice coder with which 11b carries out [voice] compression coding, and 11c are the clock generators which output a 27MHz system clock, and in case a 27MHz system clock encodes an image, it is used. It is the MPEG 2 system multiplex section which carries out multiplex [of the 11d of the encoded image data, voice data, user data, etc.], makes a transport packet, and is sent out. Drawing 2 is the block diagram of the MPEG 2-TS transport packet created in 11d of MPEG 2 system multiplex sections. An MPEG 2 transport

stream (the maximum upper case) consists of many transport packets TPP, each transport packet consists of various information fields and a payload PLD, and 42-bit PCR is inserted in the predetermined location of information field. An PCR value is a value which carried out counting of the system clock by 42-bit counter 11e. The framing processing section which frame-izes 11g of transport streams with a network network clock, and is sent out, and 11h are PLL which outputs the clock signal which synchronized with the network clock.

[0021] PLL and 21c which output the deframing processing section which 21a forms into differential-gear REMU the frame data received from the network in a decoder 21, and is made into a transport stream, and the clock signal with which 21b synchronized with the network clock are the MPEG 2 system-separation section, from a transport stream, extract an PCR value and output the notice of the completion of PCR arrival while they separate and output image data, voice data, and user data. 21d is a clock frequency synchronous circuit concerning this invention, the thing and 21e which carry out frequency synchronization of the system clock by the side of a decoder to the system clock by the side of an encoder using the PCR value sent from an encoder are a clock generator, and what frequency control is carried out by 21d of clock frequency synchronous

circuits, and generates a system clock, the image decoder which decodes the image data encoded 21f, and 21g are voice decoders which decode the voice data encoded.

[0022] (b) Clock generator clock generator 21e is an armature-voltage control mold, generates a 27MHz system clock and has the frequency adjustable range more than the level-luffing-motion range. It is common to specify the lowest frequency adjustable value per unit electrical potential difference, the thing of the following specification is marketed as an example, and a commercial voltage-controlled clock generator is used by this invention. Namely, (1) Frequency adjustable value per unit electrical potential difference : ≥ 100 or more (≥ 150 ppm/V extent as ability) ppm/V, and (2) Input adjustable electrical-potential-difference range : It is +2.5V \leq 2V. An input adjustable electrical potential difference is ≥ 2 V, and since a frequency adjustable value is ≥ 100 ppm/V, frequency modification of a ≥ 200 ppm a little more than is possible for clock generator 21e.

[0023] (c) The timing diagram at the time of frequency synchronization control and drawing 5 of the block diagram of the clock frequency synchronous circuit where clock frequency synchronous circuit drawing 3 was prepared in the

decoder, and drawing 4 are the timing diagrams at the time of property investigation of a clock generator. Among drawing, 51 are the criteria PCR storing section which stores sending out, now the PCR value of 42 bits to which it comes from MPEG 2 system separation section 21c (refer to drawing 1), and consist of 42 bits of the 33 bits Base section and the 9-bit Extension section. 52 is the internal counter which carries out counting of the system clock outputted from clock generator 21e, and is 42 bit patterns of the 33 bits Base section and the 9-bit Extension section. The count range of the Extension section is to 0-299, and the base section counts up the carry pulse from the Extension section. In system clock 27MHz, as for this internal counter 52, the count of a little more than 24 hours is attained. 53 is a register with which the counted value of the internal counter 52 is stored at the time of PCR arrival.

[0024] 54 is a control section of operation and is (1). The motion control at the time of the frequency synchronization control based on PCR sent from an encoder (refer to the timing diagram of drawing 4), and (2) It is a line thing about the motion control (refer to the timing diagram of drawing 5) at the time of property investigation of clock generator 21e (for system clocks 27MHz VCXO). On the occasion of the frequency synchronouser control of (1), from system

separation section 21c, the control section 54 of operation receives the notice signal of the completion of PCR arrival, and generates the latch signal Latch, Latch2, and interrupt signal IRQ. That is, as shown in drawing 4 , the control section 54 of operation generates a Latch signal and Latch2 signal at the time of the completion of PCR arrival from ** encoder, it latches a criteria PCR value to the criteria PCR storing section 51 with **Latch signal, stores the counted value of the internal counter 52 in a register 53 with **Latch2 signal, and generates interrupt signal IRQ after an appropriate time [**]. According to generating of interrupt signal IRQ, CPU performs the frequency synchronours control for making frequency gap into zero.

[0025] Moreover, the control section 54 of operation is start generated from the below-mentioned pulse generation section on the occasion of the motion control at the time of property investigation of the clock generator of (2). A signal and a Pulse signal (signal which becomes high-level during a predetermined period, for example, 100ms) are received, and a Reset signal and Latch2 signal are generated. that is, the control section 54 of operation is shown in drawing 5 -- as -- counting of ** system clock -- by reception of the Start signal which shows initiation Generate a Reset signal and the contents of the internal counter 52 and

the internal timer of the pulse generation section 60 (after-mentioned) are reset.

** When this internal timer clocks predetermined time, for example, 100ms, store in a register 53 the number of system clocks (counted value of the internal counter 52) which generated Latch2 signal and was generated among 100ms (when a Pulse signal is set to a low level). A register for 55-59 to be the registers for software interfaces, and for CPU read the criteria PCR value A, as for 54, A register for 56 to read counted value C of the internal counter 52 with which CPU was stored in the register 53, The frequency setting register with which, as for 57, the frequency set point of clock generator 21e is set up, When 58 is a check register and the property of a clock generator is investigated, The flag (Pulse-Start) which shows initiation is set. CPU -- counting of a system clock -- counting -- what is reset by completion of operation, and 59 are interrupt registers, and an interruption flag (Pcr IRQ) shows that the interrupt by arrival of PCR occurred, and it is cleared by the read access by CPU.

[0026] Drawing 6 shows the configuration of the register for the above-mentioned software interfaces, and the register 55 (PCR0-PCR2) and the register 56 (CNT0-CNT2) consist of 42 bits of the Base section of 33 bits of high orders, and the Extension section of 9 bits of low order, respectively. Counting

the 9-bit Extension section to 0-299, the 33-bit Base section is counted up one time for every 300, and holds the counted value in 90kHz. The frequency setting register 57 is $N = 8$ when the level-luffing-motion range makes 1 ppm/LSB the frequency modification value which are ± 100 ppm and the minimum bit. Drawing 7 is the graph showing the relation between the frequency setting value set as the frequency setting register 57, and the cycle Kazunobu positive value ppm, shows the frequency setting value (0 is + at a sign) shown by the hexadecimal to an upper case, and shows the cycle Kazunobu positive value ppm to the lower berth. Although both the check register 58 and the interrupt register 59 are 16 bit patterns, they are used the most significant 1 bit.

[0027] It returns to drawing 3 , and 60 is the pulse generation section which has an internal timer, when a Reset signal is outputted from the control section 54 of operation on the occasion of property investigation of \pm clock generator 21e, a high-level Pulse signal is outputted, a time check is started by the internal timer after an appropriate time [\pm], and when predetermined time (for example, 100ms) is clocked, it makes a Pulse signal a low level. The DA converter which changes into direct current voltage the frequency set point of 8 bits with which 61 was set as the frequency setting register, and 62 are amplifier, and perform the

dynamic range of the output voltage from DA converter 61, and the gain adjustment between the input adjustable electrical-potential-difference range of clock generator 21e of the next step. Although it is a processor (CPU) and not being illustrated, it consists of hardware, such as the data-processing section, program memory (ROM), data memory (RAM), and an input/output interface, and 71 is program control, Various processings explained below are performed. That is, CPU71 is (1). The processing (CHECK processing) and (2) which investigate the property of a clock generator Frequency synchronous processing (RUNNING processing) is performed. 72 is a CPU clock generation machine and 73 is a bus.

[0028] (d) In processing which the outline CPU 71 of CPU processing performs, it is (1). The processing (CHECK processing) which investigates the property of a clock generator, and (2) There is frequency synchronous processing (RUNNING processing) which makes zero frequency gap of the system clock by the side of an encoder and the system clock by the side of a decoder.

(d-1) The reason for investigating the property of a CHECK processing clock generator is as follows. Namely, in the commercial clock generator, as for the frequency variation per unit electrical potential difference, only the minimum

value is only specified. For this reason, even if CPU71 sets a frequency setting value as the frequency setting register 57 so that the predetermined amount (ppm) of frequency modification or a predetermined frequency may be obtained according to drawing 7 , clock generator 21e does not change an output frequency so that CPU may expect. For this reason, gap arises between the frequency of the system clock which CPU expects, and the frequency of an actual system clock, the frequency of an encoder side system clock and a decoder side system clock is not in agreement for a short time, and frequency synchronicity becomes low (refer to drawing 17).

[0029] Then, the difference of the oscillation frequency of clock generator 21e when setting the minimum value (0x00h) as the frequency setting register 57 and the oscillation frequency of clock generator 21e when setting up maximum (0xFFh) is searched for, and it asks for the maximum frequency tuning range (ppm) of clock generator 21e based on this difference. and the ratio of the maximum frequency tuning range (the example of drawing 7 256 ppm) set up beforehand, and the actual maximum frequency tuning range -- X is calculated. for example, -- if the actual maximum variable frequency is 384 ppm (1.5 times) -- a ratio -- X becomes 1/1.5. This means that the frequency drift expected if X

times as much numerical A-X as the numeric value A conventionally set as the frequency setting register 57 is set as a frequency setting register is obtained. For example, although 192 (central value $128+64$) is conventionally set as a frequency setting register to carry out +64 ppm frequency regulation by $X=1/1.5$, since it is $X=1/1.5$ (central value $128+ (+64 \times 1/1.5)$), =171 are set up. As mentioned above, in CHECK processing, the property of actual clock generator 21e is investigated, and it asks for the above-mentioned ratio X.

[0030] (d-2) RUNNING If a process-network jitter occurs, PCR spacing which PCR spacing measured by the PCR spacing [by the side of fluctuation and an encoder] and decoder side will shift. However, in this control, it cannot ask for frequency gap correctly and a right frequency synchronouser control cannot be performed. Then, in order to mitigate the effect of a network jitter, frequency gap of the newest N time is saved and it considers that the average is this frequency gap, and it controls gradually so that this frequency gap serves as zero. If it does in this way, even if it changes the arrival time interval of criteria counted value by the network jitter, it is mitigable to $1/N$. That is, the momentary frequency gap computed under the effect of a network jitter can be graduated, and the effect can be mitigated. .. In time, the newest frequency gap of N individual does not

exist at first with data smoothing. Then, pretreatment which asks for frequency gap of N individual is performed, and original processing for making frequency gap into zero using frequency gap of the newest N individual is performed after an appropriate time. Thus, by pretreating, it can amend in quest of frequency gap henceforth correctly.

[0031] (d-3) Processing drawing 8 of the whole CPU is the explanatory view showing processing of the whole CPU, it consists of CHECK processing 100 and RUNNING processing 200, and RUNNING processing consists of a smoothing pretreatment period (phase A) and a data-smoothing period (phase B). CHECK processing begins by powering on of a decoder, and RUNNING processing begins after CHECK processing activation. In RUNNING processing, pretreatment which asks for frequency gap of N individual is performed first, and, subsequently original processing in which a frequency synchroniser control is performed using the average of frequency gap of the newest is performed.

[0032] (e) Detail of CPU processing (e-1) Property investigation processing (CHECK processing) drawing 9 of a clock generator is the property investigation processing flow (CHECK processing flow) of a clock generator, and is explained with reference to the hardware of drawing 3 , and the timing diagram of drawing

5 . if the power source of a decoder is switched on, CPU71 will set 8000h "the most significant bit -- 1 "other bit" 0" as a check register 58 while setting the minimum value of 0000h (it is 0 at a decimal number) as the frequency setting register 57 (steps 101 and 102). the set point of the frequency setting register 57 -- a DA translation -- it is amplified, and inputs into clock generator 21e, and clock generator 21e outputs the system clock of a predetermined frequency (=27 MHz-delta ppm). moreover, if, as for a check register 58, 8000h "the most significant bit -- 1 "other bit" 0" is set up, a high-level Start signal will be outputted and the control section 59 of operation will generate a Reset signal with a high-level Start signal. Thereby, the internal counter 52 clears the contents to zero, and starts the count of a system clock. Moreover, while the pulse generation section 60 resets an internal timer to this count and coincidence and starting a time check to them, a high-level Pulse signal is outputted.

[0033] Henceforth, the count of the system clock by the internal counter 52 continues, and the pulse generation section 60 will make a Pulse signal a low level, if 100ms is clocked. Thereby, 54g of control sections of operation generates Latch2 signal. A register 53 stores the counted value of the internal counter 52 with this Latch2 signal. This counted value C is the number of system

clocks generated among 100ms, and is written in the software interface register 56. On the other hand, CPU71 reads whether the Pulse signal was set to a low level, and counted value C currently written in the register 56 (CNT0, CNT1, CNT2) if it checks and a Pulse signal is set to a low level (step 103), and memorizes them to built-in RAM as a CL (step 104). While clock generator 21e is oscillating with lowest frequency by the above, preservation of the number CL of system clocks generated among 100msec(s) from this clock generator is completed.

[0034] subsequently, CPU71 sets 8000h "the most significant bit -- 1 "other bit" 0" as a check register 58 while setting maximum 00FFh (it is 255 at a decimal number) as the frequency setting register 57 (steps 105 and 106). the set point of the frequency setting register 57 -- a DA translation -- it is amplified, and inputs into clock generator 21e, and clock generator 21e outputs the system clock of a predetermined frequency ($\approx 27 \text{ MHz} + \text{delta ppm}$). Moreover, if, as for a check register 58, 8000h (the most significant bit is "1") is set up, a high-level Start signal will be outputted and the control section 59 of operation will generate a Reset signal with a high-level Start signal. Thereby, the internal counter 52 clears the contents to zero, and starts the count of a system clock. Moreover,

while the pulse generation section 60 resets an internal timer to this count and coincidence and starting a time check to them, a high-level Pulse signal is outputted. Henceforth, the count of the system clock by the internal counter 52 continues, and the pulse generation section 60 will make a Pulse signal a low level, if 100ms is clocked. If a Pulse signal is set to a low level, the control section 54 of operation will generate Latch2 signal. A register 53 stores the counted value of the internal counter 52 with this Latch2 signal. This counted value C is the number of system clocks generated among 100ms, and is written in the software interface register 56.

[0035] On the other hand, CPU71 reads whether the Pulse signal was set to a low level, and counted value C currently written in the register 56 (CNT0, CNT1, CNT2) if it checks and a Pulse signal is set to a low level (step 107), and memorizes them to built-in RAM as CH (step 108). While clock generator 21e is oscillating on the highest frequency by the above, preservation of the number CH of system clocks generated among 100msec(s) from this clock generator is completed. If counted value CL and CH can be found, CPU71 will calculate difference ΔC of counted value by degree type $\Delta C = CH - CL$ (step 109), and subsequently it is degree type $\Delta F = \Delta C / t$. However, it asks for

frequency adjustable range ΔF of clock generator 21e by $t = 100\text{ms}$.

Subsequently, degree type $f = \Delta F / (27 \times 10^6)$

It is alike and the maximum frequency adjustable range f to the target frequency of 27MHz (ppm) is calculated more (step 110). and the ratio of the maximum frequency tuning range (the example of drawing 7 255 (ppm)) finally beforehand set up by degree type $X = 255 / f$, and the actual maximum frequency tuning range f (ppm) -- X is calculated (step 111). By the above, property investigation processing (CHECK processing) of a clock generator is completed.

[0036] (e-2) Pretreatment drawing 10 in frequency synchronous processing (RUNNING processing) is a pretreatment flow (phase A) in frequency synchronous processing (RUNNING processing), and explain it with reference to the hardware of drawing 3, and the timing diagram of drawing 4. First, CPU71 initializes altogether the count e to which addition value ΣF of preservation frequency gap several \ln and frequency gap and frequency gap exceeded default value continuously to 0 (step 201). Subsequently, CPU71 sets 0080h (it is 128 at a decimal number) as the frequency setting register 57 as initial value (step 202). The DA translation of the value set as the frequency setting register is carried out, it is inputted into clock generator 21e, and clock generator 21e is oscillated

by about 27MHz. The internal counter 52 carries out counting of the system clock outputted from clock generator 21e.

[0037] Henceforth, CPU71 waits for generating of interruption IRQ by PCR arrival (step 203). MPEG 2 system separation section 21c (drawing 1) supervises the completion of arrival of PCR, and inputs the notice signal of the completion of PCR arrival into the control section 54 of operation by reception of the last PCR bit while it separates the PCR value of 42 bits included in each transport packet TPP which received and inputs it into a bit serial at the PCR storing section 51. Thereby, the control section 54 of operation stores the counted value of the internal counter 52 in a register 53 while it generates a Latch signal and Latch2 signal and stores an PCR value in the criteria PCR storing section 51. The internal counter 52 continues the count of a system clock henceforth. Moreover, the criteria PCR value A stored in the criteria PCR storing section 51 and a register 53, respectively and counted value C are written in the software interface registers 55 and 56 so that reading may become possible by CPU71.

[0038] After an appropriate time, the control section 54 of operation sets interruption flag Pcr-IRQ to the built-in interrupt register 59. If interruption flag

Pcr-IRQ is set, CPU71 reads counted value C which recognizes this and is memorized by the register 56 (CNT [0], CNT [1], CNT2), and stores it in built-in RAM as C [0] (step 204). Subsequently, CPU71 reads the criteria PCR value P memorized by the register 55 (PCR [0], PCR [1], PCR2), stores it in built-in RAM as P [0], and resets interruption flag Pcr-IRQ (step 205). The first criteria PCR value and counted value in pretreatment are stored in RAM by the above.

[0039] Subsequently, CPU71 waits for generating of interruption IRQ by the next PCR arrival (step 206). The control section 54 of operation stores the counted value of the internal counter 52 in a register 53 while it generates a Latch signal and Latch2 signal like the above-mentioned and stores an PCR value in the criteria PCR storing section 51, if the following notice signal of the completion of PCR arrival is received. The internal counter 52 continues the count of a system clock henceforth. Moreover, the criteria PCR value A stored in the criteria PCR storing section 51 and a register 53 and counted value C are written in the software interface registers 55 and 56 so that reading may become possible by CPU71. After an appropriate time, the control section 54 of operation sets interruption flag Pcr-IRQ to the built-in interrupt register 59. If interruption flag Pcr-IRQ is set, CPU71 will recognize this and will perform the subroutine A of the

frequency gap calculation shown in drawing 11 (step 207).

[0040] In Subroutine A, CPU71 reads counted value C memorized by the register 56 (CNT [0], CNT [1], CNT2), and stores it in built-in RAM as C [1] (step 207a). Subsequently, CPU71 computes increment deltaC (the number of system clocks generated between arrival spacing of a criteria PCR value) of the internal counter 52 between arrival spacing of a criteria PCR value by degree type $\text{deltaC} = \text{C}[1] - \text{C}[0]$ (step 207b), and, subsequently is degree type $\text{deltaT} = \text{deltaC} / (27 \times 106)$.

It is alike and arrival spacing time amount deltaT of a criteria PCR value is computed more (step 207c). If calculation of arrival spacing time amount deltaT of a criteria PCR value is completed, CPU71 will read this criteria PCR value P memorized by the register 55 (PCR [0], PCR [1], PCR2), will store it in built-in RAM as P [1], and will reset interruption flag Pcr-IRQ (step 207d). Subsequently, CPU71 calculates the difference delta P (the number of encoder side system clocks) of the criteria PCR value of this time and last time by degree type $\text{deltaP} = \text{P}[1] - \text{P}[0]$ (step 207e).

[0041] After an appropriate time and CPU71 are frequency gap deltaF Degree type $\text{deltaF}(\text{ppm}) = (\text{deltaC} - \text{deltaP}) / (\text{deltaT} \times 27 \times 106)$

It is alike and asks more (step 207f). By the above, the frequency gap (units are ppm) which did the division of the frequency deviation on the setting frequency can be found. Subsequently, C [1] and P [1] are set to C [0] and P [0] (step 207g), and the subroutine of frequency gap calculation is ended. If frequency gap ΔF (ppm) can be found, CPU71 will be checked beyond in the default value f (ppm) to which absolute value $|\Delta F|$ of this frequency gap is set beforehand (drawing 10 , step 208). As default value, it is referred to as $f(\text{ppm}) = 100$ (ppm), for example.

[0042] | If it is $\Delta F < f$, store CPU71 in RAM of the n-th built-in of frequency gap ΔF which was able to be found as frequency gap $F[n]$ (step 209 (it accumulates in array $F[n]$ and goes)). Subsequently, CPU71 clears to 0 the count (count of continuation) e which absolute value $|\Delta F|$ of frequency gap became continuously beyond default value f (ppm) (step 210), carries out stepping of the n ($n+1 \rightarrow n$, step 211), and integrates n frequency gap $F[0]$ for which it has asked till then - $F[n-1]$ by degree type $\sigma F = \sigma F + \Delta F$ (step 212). If addition value σF of frequency gap can be found, by degree type $F = \sigma F / n$, the average value of n frequency gaps will be calculated (step 213), and the subroutine B of the frequency set point decision shown in drawing

12 will be performed (step 214).

[0043] In Subroutine B, CPU71 is CHECK processing, is already calculated and calculates the frequency correction value FX by degree type $FX=F-X$ using a certain ratio X (step 214a). Subsequently, CPU71 reads the current frequency setting value V set as the frequency setting register 57 (step 214b), by degree type $V=V+FX$, calculates the new frequency set point V (step 214c), and writes the new frequency set point V in the frequency setting register 57 (step 214d). Thereby, the DA translation of the new frequency setting value V is carried out, it is inputted into clock generator 21e, and is oscillated on the frequency according to the set point.

[0044] When Subroutine B was completed by the above, it is checked $n=N-1$ (N is 64) for CPU71 (step 215), and if it is $n < N-1$, the processing after step 206 will be repeated. However, if it becomes $n=N-1$ and N (= 64) individual's frequency gap $F[0] - F[63]$ can be found, since it ends, pretreatment will be set to $n=0$ (step 216), and CPU71 will perform original frequency synchronous processing of Phase B henceforth. On the other hand, in step 208, if it is beyond the default value f (ppm) to which absolute value $|\Delta F|$ of frequency gap is set beforehand ($|\Delta F| \geq f$), CPU71 will not memorize the frequency gap for which it asked by

Subroutine A (abandonment), but will carry out stepping of the count e of continuation ($e+1 \rightarrow e$, step 221). Subsequently, it confirms whether to be $e > E - 1$ (for E to be 10 by the count of a convention) (step 222), and if it is $e \leq E - 1$, the processing after step 206 will be repeated. However, if it is $e > E - 1$, return pretreatment will be performed to step 201 from the beginning as that from which the situation of a network changed. Above, although pretreatment was performed in quest of the average of the saved perimeter wave number gap, it can be the following until frequency gap of $N (= 64)$ individual can be found. That is, the number m (for example, 8) below $N (= 64)$ is set up, and in quest of the newest average of m pieces, pretreatment is performed until frequency gap of N individual can be found.

[0045] (e-3) Original processing in frequency synchronous processing (RUNNING processing) (phase B)

Drawing 13 is an original processing flow (phase B) after pretreatment in frequency synchronous processing (RUNNING processing), and is explained with reference to the hardware of drawing 3, and the timing diagram of drawing 4. CPU71 supervises the next PCR arrival after pretreatment of Phase A based on interruption IRQ (step 301). The control section 54 of operation stores the

counted value of the internal counter 52 in a register 53 while it generates a Latch signal and Latch2 signal and stores an PCR value in the criteria PCR storing section 51, if the following notice signal of the completion of PCR arrival is received. The internal counter 52 continues the count of a system clock henceforth. Moreover, the criteria PCR value A stored in the criteria PCR storing section 51 and a register 53 and counted value C are written in the software interface registers 55 and 56 so that reading may become possible by CPU71. After an appropriate time, the control section 54 of operation sets interruption flag Pcr-IRQ to the built-in interrupt register 59. If interruption flag Pcr-IRQ is set, CPU71 will recognize this and will perform the subroutine A of the frequency gap calculation shown in drawing 11 (step 302).

[0046] If frequency gap ΔF (ppm) in PCR arrival spacing of this time and last time can be found by Subroutine A, CPU71 will be checked beyond in the default value f (ppm) to which absolute value $|\Delta F|$ of this frequency gap is set beforehand (step 303). As default value, it is referred to as $f(\text{ppm}) = 100$ (ppm), for example. | If it is $\Delta F < f$, store CPU71 in RAM of the n -th built-in of frequency gap ΔF which was able to be found as frequency gap $F[n]$ (step 304 ($F[n]$ of use is overwritten in Phase A)). Subsequently, CPU71 clears to 0

the count (count of continuation) e which absolute value $|\Delta F|$ of frequency gap became continuously beyond default value f (ppm) (step 305). n -- stepping -- carrying out ($n+1 \rightarrow n$, step 306) -- degree type $\sigma F = F[0] + F[1] F[2] + \dots$ addition value σF of frequency gap of the newest N ($= 64$) individual is calculated by $+F[N-1]$ (step 307). If addition value σF of frequency gap of the newest N ($= 64$) individual can be found, by degree type $F = \sigma F / N$, the average value of frequency gap of N individual will be calculated (step 308), and the subroutine B of the frequency set point decision shown in drawing 12 will be performed (step 309). That is, in Subroutine B, CPU71 is CHECK processing, is already calculated and calculates the frequency correction value FX by degree type $FX = F - X$ using a certain ratio X (step 214a).

[0047] Subsequently, CPU71 reads the current frequency setting value V set as the frequency setting register 57 (step 214b), by degree type $V = V + FX$, calculates the new frequency set point V (step 214c), and writes the new frequency set point V in the frequency setting register 57 (step 214d). Thereby, the DA translation of the new frequency setting value V is carried out, it is inputted into clock generator 21e, and is oscillated on the frequency according to the set point. When Subroutine B was completed by the above, it is checked

$n=N-1$ ($N=64$) for CPU71 (step 310), and if it is $n \leq N-1$, the processing after step 301 will be repeated. However, if it becomes $n > N-1$ ($n=64$), after initializing as $n=0$ (step 311), the processing after step 301 will be repeated.

[0048] On the other hand, in step 303, if it is beyond the default value f (ppm) to which absolute value $|\Delta F|$ of frequency gap is set beforehand ($|\Delta F| \geq f$), CPU71 will not memorize the frequency gap for which it asked by Subroutine A (abandonment), but will carry out stepping of the count e of continuation ($e+1 \rightarrow e$, step 321). Subsequently, it confirms whether to be $e > E-1$ (for E to be 10 by the count of a convention) (step 322), and if it is $e \leq E-1$, the processing after step 301 will be repeated. However, if it is $e > E-1$ ($e=E$), pretreatment (phase A) will be rerun as that from which the situation of a network changed (step 323).

[0049] Above, although it is the case where N is fixed to constant value, according to a network, the value of N can also be changed suitably. That is, in the picture transmission system using the transport stream of an ISO/IEC MPEG 2 system, generally a high-speed digital leased line is used, and the network jitter in this network is a minute amount (less than ~ 30 ppm). However, the jitter of PCR attainment spacing which application on an ATM network is also considered and produces this picture transmission system in an ATM network in

the delay fluctuation CDV (Cell Delay Deviation) at the time of data transmission is very large compared with the case of a dedicated line (a maximum of about 1ms). In this case, the correspondence to a network when there are many amounts of jitters like [at the time of an ATM network] is attained by making [more] quantity of N used for smoothing than the time of a dedicated line. For example, at a dedicated line, it is coped with by considering as N= 64 arrays and enlarging with N= 128 or 256 grades with an ATM network.

[0050] Above, although the case of MPEG 2-TS was explained, this invention is applicable also to MPEG 2-PS (PS:Program Stream) which is another method of MPEG 2. In this case, by MPEG 2-PS, SCR (System Clock Reference) is used instead of PCR as time-of-day criteria information. (1) explained above The method of determining an PCR arrival time interval, and (2) The average-frequency gap correction method and (3) which make the average of frequency gap of N individual zero The method of determining a frequency setting value for having taken the property of a clock generator into consideration is combined separately or suitably, and can be performed. As mentioned above, although the example explained this invention, according to the main point of this invention indicated to the claim, various deformation is

possible for this invention, and this invention does not eliminate these.

[0051]

[Effect of the Invention] Above, since arrival spacing time amount ΔT of criteria PCR counted value was computed by doing the division of number of system clocks ΔC generated in arrival spacing of criteria counted value on a system clock frequency according to this invention, even if it does not use a software timer, this arrival spacing time amount ΔT can be measured correctly, moreover, it mitigates and the thing of the load of CPU can be carried out. According to this invention, carry out counting of the system clock by the side of decode with a counter, read the counted value of this counter in the arrival time of day of criteria counted value, and it memorizes to a register. The difference ΔC of the counted value memorized to the register at the time of this criteria counted value arrival, and the last counted value, Gap of the clock frequency by the side of an encoder and a decoder is computed using increment ΔP of this criteria counted value and the last criteria counted value, and said arrival spacing time amount ΔT of criteria counted value. Since the frequency setting value according to this frequency gap was set up, even if count initiation processing of frequency gap is overdue, counted value cannot change and

frequency gap can be calculated correctly.

[0052] According to this invention, the frequency gaps of the newest N individual including this frequency gap are saved, the average of frequency gap of this N individual is computed, and since the system clock frequency was controlled so that this average-frequency gap served as zero, right frequency gap can be calculated by the ability to mitigate [even if it changes the arrival time interval of criteria counted value by a network jitter etc., can graduate to $1/N$, and] the effect by the jitter. That is, according to this invention, the momentary frequency gap computed under the effect of the network jitter produced at the time of transmission via a network can be graduated, and the effect can be mitigated. According to this invention, pretreatment which asks for frequency gap of N individual is performed, and after an appropriate time, since it was made to perform frequency synchronous processing using frequency gap of the newest N individual, in quest of frequency gap, it can amend correctly.

[0053] Since this frequency gap is discarded and it was made not to save when the obtained frequency gap was larger than default value according to this invention, the effect by the transient big jitter can be disregarded and it can ask for right frequency gap. When that frequency gap becomes larger than default

value continues according to this invention, in order to suppose that frequency gap of saved N individual does not fit the condition of the present network and to pretreat again, frequency gap of N individual which was adapted for the condition of the present network can be held, and a right frequency synchronouser control can be performed. According to this invention, when it originates in a line failure etc. and arrival of criteria counted value breaks off, by resuming pretreatment, frequency gap of N individual which was adapted for the condition of the present network can be held, and a right frequency synchronouser control can be performed.

[0054] The number of system clocks which according to this invention is generated between predetermined time T from a clock generator when the minimum value is set as a frequency setting register, It asks for the number of system clocks generated between predetermined time T from a clock generator when maximum is set as a frequency setting register. The value which did the division of the difference of the number of both clocks on said time amount T and a system clock frequency is made into the actual maximum variable frequency of a clock generator. this -- the ratio of the actual maximum variable frequency and the maximum variable frequency set up beforehand -- X -- asking -- saving --

frequency gap -- this -- a ratio, since the multiplication of the X is carried out and it was made to set it as a register in quest of the frequency set point Even if it is the case where the frequency adjustable range properties of a clock generator differ for every product The frequency synchronization nature of the system clock [can carry out things and] by the side of an encoder and a decoder by this controlled so that the right frequency set point according to frequency gap is set as a register in consideration of this property and frequency gap serves as zero can be improved.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is an MPEG 2-TS picture transmission structure-of-a-system Fig.

[Drawing 2] It is the transport packet explanatory view of MPEG 2-TS.

[Drawing 3] It is the block diagram of the decoder side clock frequency synchronous circuit of this invention.

[Drawing 4] It is a timing diagram at the time of frequency synchronization control.

[Drawing 5] It is a timing diagram at the time of property investigation of a clock generator.

[Drawing 6] It is the block diagram of a software interface register.

[Drawing 7] It is the graph showing the relation between correction value and a frequency adjusted value (ppm).

[Drawing 8] It is the processing explanatory view of the whole CPU.

[Drawing 9] It is the processing flow (CHECK processing) of CPU in frequency

variable-characteristics investigation control.

[Drawing 10] It is a frequency gap smoothing pretreatment flow (phase A).

[Drawing 11] It is the subroutine A of frequency gap calculation processing.

[Drawing 12] It is the subroutine B of frequency set point decision processing.

[Drawing 13] It is a clock frequency synchronous processing flow (phase B).

[Drawing 14] It is the timing relationship Fig. of an PCR value and various signals.

[Drawing 15] It is the block diagram of the conventional decoder side clock frequency synchronous circuit.

[Drawing 16] It is the processing explanatory view of CPU.

[Drawing 17] It is a frequency deviation explanatory view by the conventional approach.

[Description of Notations]

21e .. Clock generator

51 .. PCR storing section

52 .. Internal counter

53 .. Register

54 .. Control section of operation

57 .. Frequency setting register

71 .. CPU